

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-016242

(43)Date of publication of application : 18.01.2002

(51)Int.Cl.

H01L 27/146

H01L 31/10

(21)Application number : 2000-195175

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.06.2000

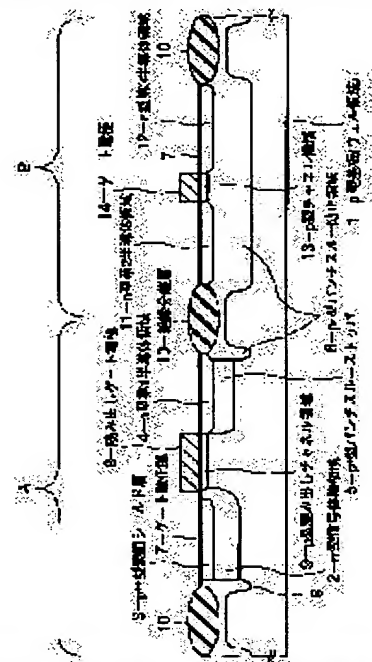
(72)Inventor : ISHIWATARI HIROAKI

(54) MOS-TYPE SOLID-STATE IMAGE PICKUP DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To realize improved charge transfer performance and prevention of punch-through at the same time, even if a MOS element is shrunk in size, in a MOS-type solid-state image pickup device.

SOLUTION: A p+ type punch-through preventing region 6 is not formed in a region directly under an n- type signal accumulation region 2 of a photodiode. The n- type signal accumulating region 2 is formed inside a p type semiconductor substrate 1. The p+ type punch-through preventing region 6 is formed over the entire part of an element region B, which is a region other than an element region A, where the photodiode and a read gate are formed. To prevent punch-through effect between elements, the p+ type punch-through preventing region 6 is also formed directly under an insulation separation layer 10. A p+ type punch-through stopper 5 may be formed directly under an n type first semiconductor region 4.



LEGAL STATUS

[Date of request for examination]

24.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st MOS transistor of the 2nd conductivity type for reading the optoelectric transducer formed in the semi-conductor substrate of the 1st conductivity type, and the charge which is formed in the 1st element field of said semi-conductor substrate, and is generated by said optoelectric transducer, The MOS mold solid state camera characterized by providing the 2nd MOS transistor of the 2nd conductivity type formed in the 2nd element field of said semi-conductor substrate, and establishing the punch-through prevention field of the 1st conductivity type for preventing a punch-through in said whole 2nd element field.

[Claim 2] It is the MOS mold solid state camera according to claim 1 which possesses the discrete insulating layer which encloses said the 1st and 2nd element field, and is characterized by preparing said punch-through prevention field also directly under said discrete insulating layer.

[Claim 3] Said punch-through prevention field is an MOS mold solid state camera according to claim 2 characterized by being prepared in the periphery of said 1st element field along with said discrete insulating layer.

[Claim 4] The width of face from said discrete insulating layer to the edge of said punch-through prevention field in said 1st element field is an MOS mold solid state camera according to claim 3 characterized by being secured more than a doubling gap of the mask material used in case said punch-through prevention field is formed.

[Claim 5] Said width of face is an MOS mold solid state camera according to claim 4 characterized by being 0.2 micrometers or more.

[Claim 6] The location of said punch-through prevention field in said 2nd element field is an MOS mold solid state camera according to claim 2 characterized by being deeper than the location of said punch-through prevention field in directly under [of said discrete insulating layer].

[Claim 7] It is the MOS mold solid state camera according to claim 1 which said MOS mold solid state camera has two or more pixels, and is characterized by each pixel having said optoelectric transducer, said 1st MOS transistor, and said 2nd MOS transistor.

[Claim 8] Said optoelectric transducer is an MOS mold solid state camera according to claim 1 characterized by being formed in said 1st element field and the source of said 1st MOS transistor serving as a signal are recording field of the 2nd conductivity type of said optoelectric transducer.

[Claim 9] The MOS mold solid state camera according to claim 8 characterized by providing the punch-through stopper of the 1st conductivity type formed directly under the drain of said 1st MOS transistor.

[Claim 10] Said punch-through prevention field is an MOS mold solid state camera according to claim 8 characterized by being prepared directly under the drain of said 1st MOS transistor.

[Claim 11] Said punch-through prevention field is an MOS mold solid state camera according to claim 8 characterized by having covered the drain of said 1st MOS transistor, and a part of channel.

[Claim 12] Said optoelectric transducer is an MOS mold solid state camera according to claim 8 characterized by consisting of said semi-conductor substrate and said signal are recording field, and not preparing said punch-through prevention field directly under said signal are recording field.

[Claim 13] Said punch-through prevention field is an MOS mold solid state camera according to claim 12

characterized by adjoining said signal are recording field.

[Claim 14] The depth of said punch-through prevention field in said 2nd element field is an MOS mold solid state camera according to claim 1 characterized by being set as 0.2 micrometers or more 0.4 micrometers or less.

[Claim 15] It is the MOS mold solid state camera according to claim 1 characterized by setting the gate length of said 1st and 2nd MOS transistors as 0.4 micrometers or less, and setting the thickness of gate oxide as 10nm or less.

[Claim 16] The process which forms a discrete insulating layer on the semi-conductor substrate of the 1st conductivity type, and forms the 1st and the 2nd element field which were enclosed by said discrete insulating layer, The impurity of the 1st conductivity type is poured in into said semi-conductor substrate with ion-implantation. The process which forms the punch-through prevention field of the 1st conductivity type for preventing a punch-through at least in [whole] directly under [of said discrete insulating layer], and said 2nd element field, While forming the 1st MOS transistor for reading the charge generated by the optoelectric transducer and said optoelectric transducer in said 1st element field The manufacture approach of the MOS mold solid state camera characterized by providing the process which forms the 2nd MOS transistor in said 2nd element field.

[Claim 17] Said impurity is the manufacture approach of the MOS mold solid state camera according to claim 16 which is the acceleration energy and the dose which run through said discrete insulating layer, and is characterized by being poured in into said semi-conductor substrate.

[Claim 18] Said impurity is the manufacture approach of the MOS mold solid state camera according to claim 16 characterized by using the mask at the time of the channel ion implantation which determines the threshold of said 2nd MOS transistor as it is, and being poured in into said semi-conductor substrate.

[Claim 19] Said impurity is the manufacture approach of the MOS mold solid state camera according to claim 16 characterized by pouring in a wrap resist layer into said semi-conductor substrate in it, using the part on said 1st element field as a mask.

[Claim 20] Said resist layer is the manufacture approach of the MOS mold solid state camera according to claim 19 which is a field inside the location where only constant width entered said 1st element field from said discrete insulating layer at least, and is characterized by being formed on the signal are recording field of the 2nd conductivity type of said optoelectric transducer.

[Claim 21] Said impurity is the manufacture approach of the MOS mold solid state camera according to claim 16 characterized by being poured also into the part in said 1st element field.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About the device structure of an MOS mold solid state camera, especially this invention has short gate length (channel length), and since gate oxide is thin, it is used for the MOS mold solid state camera which has an MOS transistor from which a punch-through poses a problem.

[0002]

[Description of the Prior Art] Drawing 10 shows the circuitry for 1 pixel of an MOS mold solid state camera.

[0003] A pixel consists of selector gates 25 for outputting the potential of the reset gate 23 for resetting the read-out gate 22 for transmitting the charge of the photodiode 21 for changing a lightwave signal into an electrical signal (charge), and a photodiode 21 to a detecting element (detection node) D, and the charge (potential) of a detecting element D, the magnification gate 24 which amplifies the potential of a detecting element D, and the selected pixel.

[0004] And the charge which photo electric conversion was carried out to a fixed period in the photodiode 21, and was accumulated in the signal are recording field is transmitted to a detecting element D via the read-out gate 22. The charge transmitted to the detecting element D changes the potential of a detecting element D from a photodiode 21. In order that the magnification gate 24 may amplify potential change of this detecting element D, the amplified signal potential is outputted from a pixel.

[0005] Here, in the MOS mold solid state camera, making high impurity concentration of a semi-conductor substrate (or well field) as thin as possible is further called for for the purpose of transmitting completely all the charges accumulated in the signal are recording field of a photodiode (photo-electric-conversion section) 21 to a detecting element D, stabilizing the property of the photodiode 21 in [all] a pixel, etc.

[0006] However, if an MOS transistor is made detailed for increase (densification of a pixel) of pixel capacity, the gate length (channel length) of an MOS transistor becomes short and the gate oxide becomes thin when the value of the high impurity concentration of a semi-conductor substrate (or well field) is low, regardless of a gate control, the punch-through that a charge flows from the source of an MOS transistor to a drain will occur.

[0007] When this punch-through occurs, an unnecessary signal (charge) will flow an MOS transistor and it becomes impossible to secure normal actuation of a solid state camera.

[0008] Then, it is necessary to prevent a punch-through. Conventionally, in the logic product, in order to prevent this punch-through, the punch-through prevention field is established in the interior of a semi-conductor substrate (location deep enough from a front face).

[0009] Since a punch-through prevention field is what prevents the source of an MOS transistor, and leak between drains, as for a punch-through prevention field, the source and the drain of p mold and an MOS transistor usually serve as p mold, when a semi-conductor substrate is n mold. And such a punch-through prevention field serves as a means very effective in prevention of a punch-through to the logic product.

[0010] However, in an MOS mold solid state camera, it is necessary to form a photodiode in the interior of a semi-conductor substrate (location deep enough from a front face). Since a photodiode consists of for example, a p type semiconductor substrate and an n mold signal are recording field (impurity range), it must form this signal are recording field in the interior of a semi-conductor substrate (location deep enough from a front face).

[0011] In this case, if it is going to form a punch-through prevention field in a semi-conductor substrate, the conductivity type (for example, n mold) of the impurity (for example, Lynn) which constitutes the signal are recording field of a photodiode, and the conductivity type (for example, p) of the impurity (for example, boron) which constitutes a punch-through prevention field will become reverse mutually. And these signals are recording field and a punch-through prevention field are formed in the almost same

location inside a semi-conductor substrate (location deep enough from a front face) as mentioned above. [0012] Therefore, in case a signal are recording field will usually be formed since a signal are recording field will be formed in a punch-through prevention field after forming a punch-through prevention field if it is going to apply a punch-through prevention field to an MOS mold solid state camera, the impurity (for example, n mold impurity) of sufficient amount to reverse the conductivity type (for example, p mold) of a punch-through prevention field must be poured in.

[0013] By the way, in order to read completely all the charges accumulated in the signal are recording field of a photodiode by photo electric conversion, it becomes important to make depletion-ized potential of a photodiode as small as possible. In order to make depletion-ized potential of a photodiode small, it becomes effective to form the signal are recording field of a photodiode stably with the lowest possible high impurity concentration.

[0014] However, as mentioned above, when forming the signal are recording field of a photodiode in a punch-through prevention field, the impurity (for example, n mold impurity) of sufficient amount to reverse the conductivity type (for example, p mold) of a punch-through prevention field must be introduced in a semi-conductor substrate. It is necessary to pour in n mold impurity of high impurity concentration higher than p mold high impurity concentration of a punch-through prevention field into a semi-conductor substrate as an estimate simply.

[0015] In this case, if the point that the effect by p mold impurity and the effect by n mold impurity are offset mutually is taken into consideration, the high impurity concentration of the signal are recording field of a photodiode will become equal to the value $(dn-dp)$ which lengthened the high impurity concentration dp of p mold impurity which constitutes a punch-through prevention field from an amount dn of n mold impurities poured in into a semi-conductor substrate by the ion implantation in general.

[0016] However, the high impurity concentration dp of p mold impurity which constitutes the amount dn of n mold impurities and punch-through prevention field which are poured in into a semi-conductor substrate by the ion implantation serves as a both comparatively big numeric value. That is, since small fluctuation of a big numeric value turns into big fluctuation of a small numeric value when a big numeric value tends to be subtracted from a big numeric value and it is going to acquire a small numeric value, when a punch-through prevention field is applied to an MOS mold solid state camera, it becomes very difficult to make it thin, and for it to be stabilized and to obtain the high impurity concentration of the signal are recording field of a photodiode.

[0017] Small fluctuation of the high impurity concentration of n mold impurity poured in into a semi-conductor substrate by the ion implantation turns into big fluctuation of the high impurity concentration of the signal are recording field of a photodiode after all, and the depletion-ized potential of a photodiode is also changed sharply and it becomes impossible to read the charge of a signal are recording field stably in connection with this.

[0018]

[Problem(s) to be Solved by the Invention] Thus, in an MOS mold solid state camera, it originates in increase (densification of a pixel) of pixel capacity, and the gate length of an MOS transistor is short, the thickness of gate oxide becomes thin and a punch-through is posing a problem. It is very difficult by existence of the signal are recording field of a photodiode to, only already apply the punch-through prevention field put in practical use in the logic product etc. to an MOS mold solid state camera on the other hand.

[0019] Because, in order to ensure a transfer of a charge, it is desirable for it to be thin and to stabilize the high impurity concentration of the signal are recording field of a photodiode, and for it to be low and to stabilize the depletion-ized potential of a photodiode. However, it is because it becomes impossible to form a signal are recording field stably [are low high impurity concentration and] in order to have to reverse the conductivity type of this punch-through prevention field and to have to form a signal are recording field, if a punch-through prevention field is prepared.

[0020] That is, in the conventional MOS mold solid state camera, when an MOS transistor was made

detailed, a punch-through became a problem and the punch-through prevention field for punch-through prevention was prepared, it was difficult to be low and to stabilize the depletion-ized potential of a photodiode, and it was not able to manufacture stably an MOS mold solid state camera with uniform charge transfer capability.

[0021] This invention was made in order to solve the above-mentioned fault, and even if an MOS transistor is made detailed, the purpose is to propose the MOS mold solid state camera which can prevent a punch-through, and its manufacture approach, while it is low high impurity concentration and can form the signal are recording field of a photodiode stably.

[0022]

[Means for Solving the Problem] (1) The MOS mold solid state camera of this invention The 1st MOS transistor of the 2nd conductivity type for reading the optoelectric transducer formed in the semi-conductor substrate of the 1st conductivity type, and the charge which is formed in the 1st element field of said semi-conductor substrate, and is generated by said optoelectric transducer, It has the 2nd MOS transistor of the 2nd conductivity type formed in the 2nd element field of said semi-conductor substrate, and the punch-through prevention field of the 1st conductivity type for preventing a punch-through is established in said whole 2nd element field.

[0023] The MOS mold solid state camera of this invention is further equipped with the discrete insulating layer which encloses said the 1st and 2nd element field, and said punch-through prevention field is prepared also directly under said discrete insulating layer.

[0024] Said punch-through prevention field is established in the periphery of said 1st element field along with said discrete insulating layer.

[0025] The width of face from said discrete insulating layer to the edge of said punch-through prevention field in said 1st element field is secured more than the doubling gap of the mask material used in case said punch-through prevention field is formed. Said width of face is set as 0.2 micrometers or more.

[0026] The location of said punch-through prevention field in said 2nd element field is deeper than the location of said punch-through prevention field in directly under [of said discrete insulating layer].

[0027] The MOS mold solid state camera of this invention has two or more pixels, and each pixel has said optoelectric transducer, said 1st MOS transistor, and said 2nd MOS transistor.

[0028] Said optoelectric transducer is formed in said 1st element field, and the source of said 1st MOS transistor serves as a signal are recording field of the 2nd conductivity type of said optoelectric transducer.

[0029] The MOS mold solid state camera of this invention is further equipped with the punch-through stopper of the 1st conductivity type formed directly under the drain of said 1st MOS transistor.

[0030] Said punch-through prevention field is prepared directly under the drain of said 1st MOS transistor. Moreover, said punch-through prevention field has covered the drain of said 1st MOS transistor, and a part of channel.

[0031] Said optoelectric transducer consists of said semi-conductor substrate and said signal are recording field, and said punch-through prevention field is not prepared directly under said signal are recording field.

[0032] Said punch-through prevention field adjoins said signal are recording field.

[0033] The depth of said punch-through prevention field in said 2nd element field is set as 0.2 micrometers or more 0.4 micrometers or less.

[0034] The gate length of said 1st and 2nd MOS transistors is set as 0.4 micrometers or less, and the thickness of gate oxide is set as 10nm or less.

[0035] (2) The manufacture approach of the MOS mold solid state camera of this invention The process which forms a discrete insulating layer on the semi-conductor substrate of the 1st conductivity type, and forms the 1st and the 2nd element field which were enclosed by said discrete insulating layer, The impurity of the 1st conductivity type is poured in into said semi-conductor substrate with ion-

implantation. The process which forms the punch-through prevention field of the 1st conductivity type for preventing a punch-through at least in [whole] directly under [of said discrete insulating layer], and said 2nd element field, While forming the 1st MOS transistor for reading the charge generated by the optoelectric transducer and said optoelectric transducer in said 1st element field, it has the process which forms the 2nd MOS transistor in said 2nd element field.

[0036] Said impurity is the acceleration energy and the dose which run through said discrete insulating layer, and is poured in into said semi-conductor substrate.

[0037] The mask at the time of the channel ion implantation which determines the threshold of said 2nd MOS transistor is used for said impurity as it is, and it is poured in into said semi-conductor substrate.

[0038] Said impurity uses the part on said 1st element field as a mask, and a wrap resist layer is poured in into said semi-conductor substrate in it.

[0039] Said resist layer is a field inside the location where only constant width entered said 1st element field from said discrete insulating layer at least, and is formed on the signal are recording field of the 2nd conductivity type of said optoelectric transducer.

[0040] Said impurity is poured also into the part in said 1st element field.

[0041]

[Embodiment of the Invention] Hereafter, the MOS mold solid state camera and its manufacture approach of this invention are explained to a detail, referring to a drawing.

[0042] [Gestalt of the 1st operation] drawing 1 shows the device structure of the MOS mold solid state camera in connection with the gestalt of the 1st operation of this invention.

[0043] The p type semiconductor substrate 1 is the low high impurity concentration 3, for example, 1×10^{15} atoms/cm. It has. The semi-conductor substrate 1 serves as an anode of a photodiode, for example, the semi-conductor substrate 1 is set as touch-down potential. However, p mold well field is formed in the semi-conductor substrate 1, and it is good also considering this p mold well field as an anode of a photodiode. In this case, the high impurity concentration of p mold well field is 1×10^{15} atoms/cm³. It is set up.

[0044] On the semi-conductor substrate 1, the discrete insulating layer 10 which separates components electrically is arranged. this example -- a discrete insulating layer 10 -- for example, LOCOS (Local Oxidation of Silicon) -- although it is the field oxide formed of law -- this -- replacing with -- for example, STI (Shallow Trench Isolation) -- the oxide film formed of law may be used.

[0045] The component field A enclosed by the discrete insulating layer 10 is the field in which it reads with the photodiode 21 shown in drawing 10 , and the gate 22 is formed. Moreover, the component field B enclosed by the discrete insulating layer 10 is the field in which components (a photodiode 21 and components other than read-out gate 22), such as the reset gate 23 shown in drawing 10 , the magnification gate 24, and a selector gate 25, are formed.

[0046] It sets to the component field A and is n- in the interior of the semi-conductor substrate 1 (location deep enough from a front face). The mold signal are recording field 2 is arranged. Moreover, at this example, it is n-. The mold signal are recording field 2 is p+. It is directly formed in the semi-conductor substrate 1, without being formed in the mold punch-through prevention field 6. n- In the mold signal are recording field 2, the p++ mold surface shielding layer 3 is arranged.

[0047] Moreover, in the component field A, it is the interior of the semi-conductor substrate 1 (location deep enough from a front face), and is n-. p+ mold punch-through stopper 5 is arranged at a different part from the part by which the mold signal are recording field 2 is arranged. p+ In the mold punch-through stopper 5, the n type 1st semiconductor region 4 is arranged.

[0048] n- p mold read-out channel field 9 top between the mold signal are recording field 2, and the n type 1st semiconductor region 4 -- for example, SiO₂ from -- the read-out gate electrode 8 is arranged via the gate oxide 7 constituted. The read-out gate electrode 8 consists of conductive polish recon film containing for example, n mold impurity. The read-out gate electrode 8 is a gate electrode of the read-out gate 22 of drawing 10 .

[0049] p+ for preventing a punch-through in the component field B inside the semi-conductor substrate 1 (location deep enough from a front face) The mold punch-through prevention field 6 is arranged. p+ The mold punch-through prevention field 6 is arranged to the whole component field B. In p+ mold punch-through prevention field 6, the n type 2nd semiconductor region 11 and, and the n type 3rd semiconductor region 12 are arranged.

[0050] p mold channel field 13 top between the n type 2nd semiconductor region 11, and the n type 3rd semiconductor region 12 -- for example, SiO₂ from -- the gate electrode 14 is arranged via the gate oxide 7 constituted. The gate electrode 14 consists of conductive polish recon film containing for example, n mold impurity. The gate electrode 14 turns into a gate electrode of MOS transistors, such as the reset gate 23 of drawing 10 , the magnification gate 24, and a selector gate 25.

[0051] The description of the device structure of an above-mentioned MOS mold solid state camera is p+ in the first place. The mold punch-through prevention field 6 is n-. It is in the point which is not formed directly under the mold signal are recording field 2. That is, at this invention, it is n-. It is directly formed in the semi-conductor substrate 1, and the mold signal are recording field 2 is p+. Since it is not formed in the mold punch-through prevention field 6, it is n-. It is low high impurity concentration, and the mold signal are recording field 2 can be formed stably.

[0052] Specifically, the high impurity concentration (for example, boron concentration) of the semi-conductor substrate 1 is 1×10^{15} atoms/cm³ as mentioned above. It is set up and is p+. The high impurity concentration (for example, boron concentration) of the mold punch-through prevention field 6 is 1×10^{17} atoms/cm³. It is set up.

[0053] That is, at this invention, it is p+. In the semi-conductor substrate 1 which has high impurity concentration also with double figures smaller than the high impurity concentration of the mold punch-through prevention field 6, it is n-. Since the mold signal are recording field 2 will be formed, the dose by the ion implantation of n mold impurity can be set up low, and it is n- as a result. It is low high impurity concentration, and the mold signal are recording field 2 can be stably formed now.

[0054] To the second, it is p+. Although formed in directly under [of a discrete insulating layer 10], and the whole component field B, it sets to the component field A, and the mold punch-through prevention field 6 is p+ only directly under the n type 1st semiconductor region 4. The mold punch-through stopper 5 is formed. That is, the n type 1st semiconductor region 4 does not need to serve as the detecting element (detection node) D shown in drawing 10 , and does not need to set up the high impurity concentration low like n-mold signal are recording field 2.

[0055] Therefore, directly under the n type 1st semiconductor region 4, it is p+. It is necessary to prevent the punch-through which forms the mold punch-through stopper 5, for example, is produced between the n type 1st semiconductor region 4, and other n-type-semiconductor fields.

[0056] In addition, p+ The mold punch-through prevention field 6 needs to be certainly formed directly under a discrete insulating layer 10. It is for preventing effectively the punch-through between two n-type-semiconductor fields whose discrete insulating layers 10 are pinched.

[0057] For this reason, p+ After forming a discrete insulating layer 10, before the mold punch-through prevention field 6 forms the gate electrodes 8 and 14, it is formed by predetermined acceleration energy and the ion-implantation of a predetermined dose. In the component field B to which a discrete insulating layer 10 does not exist as they are shown in drawing 1 , when the conditions of the ion implantation at this time are set as conditions on which an impurity (for example, boron) runs through a discrete insulating layer 10, an impurity reaches to the deep location of the semi-conductor substrate 1, and it is p+. The mold punch-through prevention field 6 is formed in a location deep enough from the front face of the semi-conductor substrate 1.

[0058] In addition, in drawing 1 , the thickness of gate oxide 7 is set as about 8nm, and the gate length (channel length) of the gate electrode 14 is set as about 0.4 micrometers. Moreover, the high impurity concentration of the p++ mold surface shielding layer 3 is 1×10^{18} atoms/cm³. It is set as extent and is p+. The mold punch-through stopper 5 and p+ Both the high impurity concentration of the mold punch-

through prevention field 6 is 1×10^{17} atoms/cm³, for example. It is set as extent.

[0059] As mentioned above, as explained, while according to the MOS mold solid state camera in connection with the gestalt of the 1st operation of this invention being low high impurity concentration and being able to form the signal are recording field of a photodiode stably, a punch-through can also be prevented even if an MOS transistor is made detailed.

[0060] The MOS mold solid state camera in connection with the gestalt of [gestalt of the 2nd operation] book operation is p+. It has the description to the mold punch-through prevention field 6.

[0061] In the MOS mold solid state camera in connection with the gestalt of the 1st above-mentioned operation, a photodiode is formed in the source side of the read-out gate (MOS transistor of the component field A), and the n type 1st semiconductor region 4 as a detecting element (detection node) D is arranged at the drain side. And it is p+ directly under this the n type 1st semiconductor region 4. The mold punch-through stopper 5 is p+. It is formed independently [the mold punch-through prevention field 6].

[0062] However, p+ The mold punch-through stopper 5 and p+ The mold punch-through prevention field 6 is the same purpose (punch-through prevention) mutually, and is mutually formed with the same high impurity concentration. Therefore, directly under the n type 1st semiconductor region 4, it is p+. Not the mold punch-through stopper 5 but p+ It cannot be overemphasized that the mold punch-through prevention field 6 may be formed.

[0063] So, at the gestalt of this operation, it is p+ also directly under the n type 1st semiconductor region 4. The mold punch-through prevention field 6 is formed. Consequently, at the gestalt of this operation, it is p+. The mold punch-through stopper 5 becomes unnecessary, and only the part can acquire the effectiveness that a production process is simplified.

[0064] Hereafter, the MOS mold solid state camera in connection with the gestalt of this operation is explained.

[0065] Drawing 2 shows the device structure of the MOS mold solid state camera in connection with the gestalt of the 2nd operation of this invention.

[0066] The p type semiconductor substrate 1 is the low high impurity concentration 3, for example, 1×10^{15} atoms/cm. It has. The semi-conductor substrate 1 serves as an anode of a photodiode, for example, the semi-conductor substrate 1 is set as touch-down potential. However, p mold well field is formed in the semi-conductor substrate 1, and it is good also considering this p mold well field as an anode of a photodiode. In this case, the high impurity concentration of p mold well field is 1×10^{15} atoms/cm³. It is set up.

[0067] On the semi-conductor substrate 1, the discrete insulating layer 10 which separates components electrically is arranged. this example -- a discrete insulating layer 10 -- for example, LOCOS (Local Oxidation of Silicon) -- although it is the field oxide formed of law -- this -- replacing with -- for example, STI (Shallow Trench Isolation) -- the oxide film formed of law may be used.

[0068] The component field A enclosed by the discrete insulating layer 10 is the field in which it reads with the photodiode 21 shown in drawing 10 , and the gate 22 is formed. Moreover, the component field B enclosed by the discrete insulating layer 10 is the field in which components (a photodiode 21 and components other than read-out gate 22), such as the reset gate 23 shown in drawing 10 , the magnification gate 24, and a selector gate 25, are formed.

[0069] It sets to the component field A and is n- in the interior of the semi-conductor substrate 1 (location deep enough from a front face). The mold signal are recording field 2 is arranged. Moreover, at this example, it is n-. The mold signal are recording field 2 is p+. It is directly formed in the semi-conductor substrate 1, without being formed in the mold punch-through prevention field 6. n- In the mold signal are recording field 2, the p++ mold surface shielding layer 3 is arranged.

[0070] Moreover, in the component field A, it is the interior of the semi-conductor substrate 1 (location deep enough from a front face), and is n-. p+ mold punch-through prevention field 6 is arranged at a different part from the part by which the mold signal are recording field 2 is arranged. p+ In the mold

punch-through prevention field 6, the n type 1st semiconductor region 4 is arranged.

[0071] n- p mold read-out channel field 9 top between the mold signal are recording field 2, and the n type 1st semiconductor region 4 -- for example, SiO₂ from -- the read-out gate electrode 8 is arranged via the gate oxide 7 constituted. The read-out gate electrode 8 consists of conductive polish recon film containing for example, n mold impurity. The read-out gate electrode 8 is a gate electrode of the read-out gate 22 of drawing 1010 .

[0072] p+ for preventing a punch-through in the component field B inside the semi-conductor substrate 1 (location deep enough from a front face) The mold punch-through prevention field 6 is arranged. p+ The mold punch-through prevention field 6 is arranged to the whole component field B. In p+ mold punch-through prevention field 6, the n type 2nd semiconductor region 11 and, and the n type 3rd semiconductor region 12 are arranged.

[0073] p mold channel field 13 top between the n type 2nd semiconductor region 11, and the n type 3rd semiconductor region 12 -- for example, SiO₂ from -- the gate electrode 14 is arranged via the gate oxide 7 constituted. The gate electrode 14 consists of conductive polish recon film containing for example, n mold impurity. The gate electrode 14 turns into a gate electrode of MOS transistors, such as the reset gate 23 of drawing 10 , the magnification gate 24, and a selector gate 25.

[0074] It is p+ like the MOS mold solid state camera on the device structure of an above-mentioned MOS mold solid state camera, and in connection with the gestalt of the 1st above-mentioned operation. The mold punch-through prevention field 6 is n-. It is not formed directly under the mold signal are recording field 2. That is, at this invention, it is directly formed in the semi-conductor substrate 1, and n-mold signal are recording field 2 is p+. Since it is not formed in the mold punch-through prevention field 6, it is n-. It is low high impurity concentration, and the mold signal are recording field 2 can be formed stably.

[0075] Specifically, the high impurity concentration (for example, boron concentration) of the semi-conductor substrate 1 is 1×10^{15} atoms/cm³ as mentioned above. It is set up and is p+. The high impurity concentration (for example, boron concentration) of the mold punch-through prevention field 6 is 1×10^{17} atoms/cm³. It is set up.

[0076] That is, at this invention, it is p+. In the semi-conductor substrate 1 which has high impurity concentration also with double figures smaller than the high impurity concentration of the mold punch-through prevention field 6, it is n-. Since the mold signal are recording field 2 will be formed, the dose by the ion implantation of n mold impurity can be set up low, and it is n- as a result. It is low high impurity concentration, and the mold signal are recording field 2 can be stably formed now.

[0077] In addition, p+ The mold punch-through prevention field 6 needs to be certainly formed directly under a discrete insulating layer 10. It is for preventing effectively the punch-through between two n-type-semiconductor fields whose discrete insulating layers 10 are pinched.

[0078] For this reason, p+ After forming a discrete insulating layer 10, before the mold punch-through prevention field 6 forms the gate electrodes 8 and 14, it is formed by predetermined acceleration energy and the ion-implantation of a predetermined dose. In the component field to which a discrete insulating layer 10 does not exist as they are shown in drawing 2 , when the conditions of the ion implantation at this time are set as conditions on which an impurity (for example, boron) runs through a discrete insulating layer 10, an impurity reaches to the deep location of the semi-conductor substrate 1, and it is p+. The mold punch-through prevention field 6 is formed in a location deep enough from the front face of the semi-conductor substrate 1.

[0079] In addition, in drawing 2 , the thickness of gate oxide 7 is set as about 8nm, and the gate length (channel length) of the gate electrode 14 is set as about 0.4 micrometers. Moreover, the high impurity concentration of the p++ mold surface shielding layer 3 is 1×10^{18} atoms/cm³. It is set as extent and is p+. The mold punch-through stopper 5 and p+ Both the high impurity concentration of the mold punch-through prevention field 6 is 1×10^{17} atoms/cm³, for example. It is set as extent.

[0080] As mentioned above, as explained, while according to the MOS mold solid state camera in

connection with the gestalt of the 2nd operation of this invention being low high impurity concentration and being able to form the signal are recording field of a photodiode stably, a punch-through can also be prevented even if an MOS transistor is made detailed.

[0081] The MOS mold solid state camera in connection with the gestalt of [gestalt of the 3rd operation] book operation is also p+. It has the description to the mold punch-through prevention field 6.

[0082] With the MOS mold solid state camera in connection with the gestalt of the 2nd above-mentioned operation, it is p+ also directly under the n type 1st semiconductor region 4 by the side of the drain of the read-out gate (MOS transistor of the component field A). The mold punch-through prevention field 6 is formed.

[0083] On the other hand, at the gestalt of this operation, it is p+. In the component field A, the mold punch-through prevention field 6 is formed so that not only directly under [of the n type 1st semiconductor region 4] but a part of read-out gate (MOS transistor) of the channel of read-out gate electrode 8 directly under may be covered.

[0084] Thus, p+ It is easily realizable to form the mold punch-through prevention field 6 in a part of channel of directly under [of the n type 1st semiconductor region 4] and the read-out gate only by transforming the mask pattern at the time of an ion implantation.

[0085] Hereafter, the MOS mold solid state camera in connection with the gestalt of this operation is explained.

[0086] Drawing 3 shows the device structure of the MOS mold solid state camera in connection with the gestalt of the 3rd operation of this invention.

[0087] The p type semiconductor substrate 1 is the low high impurity concentration 3, for example, 1×10^{15} atoms/cm. It has. The semi-conductor substrate 1 serves as an anode of a photodiode, for example, the semi-conductor substrate 1 is set as touch-down potential. However, p mold well field is formed in the semi-conductor substrate 1, and it is good also considering this p mold well field as an anode of a photodiode. In this case, the high impurity concentration of p mold well field is 1×10^{15} atoms/cm³. It is set up.

[0088] On the semi-conductor substrate 1, the discrete insulating layer 10 which separates components electrically is arranged. this example -- a discrete insulating layer 10 -- for example, LOCOS (Local Oxidation of Silicon) -- although it is the field oxide formed of law -- this -- replacing with -- for example, STI (Shallow Trench Isolation) -- the oxide film formed of law may be used.

[0089] The component field A enclosed by the discrete insulating layer 10 is the field in which it reads with the photodiode 21 shown in drawing 10 , and the gate 22 is formed. Moreover, the component field B enclosed by the discrete insulating layer 10 is the field in which components (a photodiode 21 and components other than read-out gate 22), such as the reset gate 23 shown in drawing 10 , the magnification gate 24, and a selector gate 25, are formed.

[0090] It sets to the component field A and is n- in the interior of the semi-conductor substrate 1 (location deep enough from a front face). The mold signal are recording field 2 is arranged. Moreover, at this example, it is n-. The mold signal are recording field 2 is p+. It is directly formed in the semi-conductor substrate 1, without being formed in the mold punch-through prevention field 6. n- In the mold signal are recording field 2, the p++ mold surface shielding layer 3 is arranged.

[0091] Moreover, in the component field A, it is the interior of the semi-conductor substrate 1 (location deep enough from a front face), and is n-. To a different part (a part of read-out channel field 9 of the read-out gate is included), the part by which the mold signal are recording field 2 is arranged is p+. The mold punch-through prevention field 6 is arranged. p+ In the mold punch-through prevention field 6, the n type 1st semiconductor region 4 is arranged.

[0092] n- p mold read-out channel field 9 top between the mold signal are recording field 2, and the n type 1st semiconductor region 4 -- for example, SiO₂ from -- the read-out gate electrode 8 is arranged via the gate oxide 7 constituted. The read-out gate electrode 8 consists of conductive polish recon film containing for example, n mold impurity. The read-out gate electrode 8 is a gate electrode of the read-

out gate 22 of drawing 1010 .

[0093] p+ for preventing a punch-through in the component field B inside the semi-conductor substrate 1 (location deep enough from a front face) The mold punch-through prevention field 6 is arranged. p+ The mold punch-through prevention field 6 is arranged to the whole component field B. In p+ mold punch-through prevention field 6, the n type 2nd semiconductor region 11 and, and the n type 3rd semiconductor region 12 are arranged.

[0094] p mold channel field 13 top between the n type 2nd semiconductor region 11, and the n type 3rd semiconductor region 12 -- for example, SiO₂ from -- the gate electrode 14 is arranged via the gate oxide 7 constituted. The gate electrode 14 consists of conductive polish recon film containing for example, n mold impurity. The gate electrode 14 turns into a gate electrode of MOS transistors, such as the reset gate 23 of drawing 10 , the magnification gate 24, and a selector gate 25.

[0095] It is p+ like the MOS mold solid state camera on the device structure of an above-mentioned MOS mold solid state camera, and in connection with the gestalt of the 1st and 2nd above-mentioned operations. The mold punch-through prevention field 6 is n-. It is not formed directly under the mold signal are recording field 2. That is, at this invention, it is n-. It is directly formed in the semi-conductor substrate 1, and the mold signal are recording field 2 is p+. Since it is not formed in the mold punch-through prevention field 6, it is n-. It is low high impurity concentration, and the mold signal are recording field 2 can be formed stably.

[0096] Specifically, the high impurity concentration (for example, boron concentration) of the semi-conductor substrate 1 is 1×10^{15} atoms/cm³ as mentioned above. It is set up and is p+. The high impurity concentration (for example, boron concentration) of the mold punch-through prevention field 6 is 1×10^{17} atoms/cm³. It is set up.

[0097] That is, at this invention, it is p+. In the semi-conductor substrate 1 which has high impurity concentration also with double figures smaller than the high impurity concentration of the mold punch-through prevention field 6, it is n-. Since the mold signal are recording field 2 will be formed, the dose by the ion implantation of n mold impurity can be set up low, and it is n- as a result. It is low high impurity concentration, and the mold signal are recording field 2 can be stably formed now.

[0098] In addition, p+ The mold punch-through prevention field 6 needs to be certainly formed directly under a discrete insulating layer 10. It is for preventing effectively the punch-through between two n-type-semiconductor fields whose discrete insulating layers 10 are pinched.

[0099] For this reason, p+ After forming a discrete insulating layer 10, before the mold punch-through prevention field 6 forms the gate electrodes 8 and 14, it is formed by predetermined acceleration energy and the ion-implantation of a predetermined dose. In the component field to which a discrete insulating layer 10 does not exist as they are shown in drawing 3 , when the conditions of the ion implantation at this time are set as conditions on which an impurity (for example, boron) runs through a discrete insulating layer 10, an impurity reaches to the deep location of the semi-conductor substrate 1, and it is p+. The mold punch-through prevention field 6 is formed in a location deep enough from the front face of the semi-conductor substrate 1.

[0100] In addition, in drawing 3 , the thickness of gate oxide 7 is set as about 8nm, and the gate length (channel length) of the gate electrode 14 is set as about 0.4 micrometers. Moreover, the high impurity concentration of the p++ mold surface shielding layer 3 is 1×10^{18} atoms/cm³. It is set as extent and is p+. The mold punch-through stopper 5 and p+ Both the high impurity concentration of the mold punch-through prevention field 6 is 1×10^{17} atoms/cm³, for example. It is set as extent.

[0101] As mentioned above, as explained, while according to the MOS mold solid state camera in connection with the gestalt of the 3rd operation of this invention being low high impurity concentration and being able to form the signal are recording field of a photodiode stably, a punch-through can also be prevented even if an MOS transistor is made detailed.

[0102] [Explanation of the manufacture approach], next the manufacture approach of the MOS mold solid state camera of this invention are explained. In addition, the following explanation is applicable to

all the manufacture approaches of the MOS mold solid state camera in connection with the gestalt of the above-mentioned 1st thru/or the 3rd above-mentioned operation. It will explain about a step original with the gestalt of each operation each time.

[0103] first, it is shown in drawing 4 -- as -- LOCOS -- a discrete insulating layer 10 is formed on the p type semiconductor substrate 1 by law. Then, the buffer oxide film 15 is formed on the component fields A and B enclosed by the discrete insulating layer 10 by thermal oxidation.

[0104] Next, as shown in drawing 5 , the so-called channel ion implantation for determining the threshold of an MOS transistor is performed to the component field A, and p mold read-out channel field 9 is formed. Similarly the so-called channel ion implantation for determining the threshold of an MOS transistor is performed to the component field B, and p mold channel field 13 is formed.

[0105] In this example, both the channel fields 9 and 13 are formed like 2 times of ion grouting. In this case, in order to form both the channel fields 9 and 13, 2 times of PEPs (Photo Engraving Process) are needed. However, when setting up mutually the threshold of the MOS transistor formed in the component fields A and B similarly, both the channel fields 9 and 13 can be formed like 1 time of ion grouting. In this case, PEP for forming both the channel fields 9 and 13 is good at once.

[0106] Then, the resist layer 16 is formed and the resist pattern (resist layer 16) as a mask is made to remain on the component field A by PEP.

[0107] In addition, if the resist layer 16 is covered for the whole component field A at this time, it will become the manufacture approach of the device in connection with the gestalt of the 1st above-mentioned operation. Moreover, if the resist layer 16 is made not to be arranged at the part on the component field A, it will become the manufacture approach of the device in connection with the gestalt of the 2nd and 3rd above-mentioned operations.

[0108] And if the resist layer 16 is used as a mask and the ion implantation of the p mold impurity (for example, boron) is carried out with ion-implantation, in the interior of the semi-conductor substrate 1, it will be p+. The mold punch-through prevention field 6 is formed.

[0109] At this time, it is p+. The acceleration energy at the time of an ion implantation is set up so that the mold punch-through prevention field 6 may be formed in the location of 0.2-0.4 micrometers from the front face of the semi-conductor substrate 1. As [form / directly under a discrete insulating layer 10 / naturally / however, / as for this condition / p+ mold punch-through prevention field 6]

[0110] Moreover, p+ The high impurity concentration of the mold punch-through prevention field 6 is 1×10^{17} atoms/cm³. The dose at the time of an ion implantation is set up so that it may become extent. At this example, it is p+. The ion implantation for forming the mold punch-through prevention field 6 is p+ by two ion implantations or more, although premised on being 1 time. You may make it form the mold punch-through prevention field 6.

[0111] Here, the delicate conditions which can respond to an actual product are explained. Namely, p+ In forming the mold punch-through prevention field 6, in practice, rather than the size of the component field A, it turns around the resist layer 16 one, and it is set as small size. The reason is p+. It is because it can prevent that the depletion layer of a photodiode reaches the damage by which the mold punch-through prevention field 6 will be formed in a discrete insulating layer 10 if it is made only for a few to enter the component field A in the circumference of the component field A.

[0112] In addition, p+ As for the width of face X to which the mold punch-through prevention field 6 enters the component field A, it is desirable to set up in consideration of a doubling gap of a mask (resist layer 16) more than the doubling gap. For example, the width of face X is set as about 0.2 micrometers or the value beyond it.

[0113] Then, the buffer oxide film 15 on the component field B is removed, and the thickness 7 of 10nm or less, for example, about 8nm gate oxide, is further formed on the component field B by the oxidizing [thermally] method. Then, the resist layer 16 on the component field A is removed, and the buffer oxide film 15 on the component field A is removed further.

[0114] Next, as shown in drawing 6 , the thickness 7 of 10nm or less, for example, about 8nm gate oxide,

is formed on the component field A by the oxidizing [thermally] method.

[0115] In addition, although the gate oxide 7 of the component field A and the gate oxide 7 of the component field B were formed by different step in this example, naturally you may form by the same step. In this case, after removing the resist layer 16 of drawing 5 , the buffer oxide film 15 on the component fields A and B is removed by coincidence, and gate oxide 7 is formed on the component fields A and B at coincidence.

[0116] Then, if it goes via a step called formation of the conductive polish recon film containing an impurity, formation of a resist layer, and PEP and RIE, the read-out gate electrode 8 will be formed on the gate oxide 7 of the component field A, and the gate electrode 14 will be formed on the gate oxide 7 of the component field B.

[0117] Moreover, **** of a step called formation of an oxide film (or nitride) and RIE forms the so-called sidewall (spacer) in the side attachment wall of the gate electrodes 8 and 14.

[0118] Then, about the manufacture approach of the device in connection with the gestalt of the 1st above-mentioned operation, as shown in drawing 6 , the resist pattern (resist layer 17) which has opening is formed in the part on the component field A by spreading and PEP of a resist layer. And with ion-implantation, the resist layer 17 is used as a mask, p mold impurity (for example, boron) is poured in into the semi-conductor substrate 1, and it is p+. The mold punch-through stopper 5 is formed. Then, the resist layer 17 is removed.

[0119] In addition, it is related with the manufacture approach of the device in connection with the gestalt of the 2nd and 3rd above-mentioned operations, and, naturally is p+. About the step which forms the mold punch-through stopper 5, it is unnecessary.

[0120] Next, as shown in drawing 7 , the resist pattern (resist layer 18) which has opening is formed in the field which forms the photodiode on the component field A by spreading and PEP of a resist layer. And with ion-implantation, the resist layer 18 and a sidewall are used as a mask, in the semi-conductor substrate 1, p mold impurity (for example, BF₂) is poured in, and the p++ mold surface shielding layer 3 is formed. Then, the resist layer 18 is removed.

[0121] Next, as shown in drawing 8 , the sidewall which exists in the side attachment wall of the gate electrodes 8 and 14 is removed. And the resist pattern (resist layer 18') which has opening is again formed in the field which forms the photodiode on the component field A by spreading and PEP of a resist layer. Then, with ion-implantation, resist layer 18' is used as a mask, n mold impurity (for example, Lynn) is poured in into the semi-conductor substrate 1, and it is n-. The mold signal are recording field 2 is formed.

[0122] Then, resist layer 18' is removed.

[0123] Finally, as shown in drawing 9 , the resist pattern (resist layer 19) which has opening is formed on the part on the component field A, and the component field B by spreading and PEP of a resist layer. Then, with ion-implantation, the resist layer 19 and the gate electrodes 9 and 14 are used as a mask, in the semi-conductor substrate 1, n mold impurity (for example, Lynn) is poured in, and the n type 1st thru/or the 3rd semiconductor region 4, 11, and 12 are formed.

[0124] Then, the resist layer 19 is removed.

[0125] In addition, although a wiring process, a passivation process, etc. are performed after this, it omits about it.

[0126] As mentioned above, the MOS mold solid state camera in connection with this invention is completed.

[0127] [Others] It sets to the MOS mold solid state camera in connection with the gestalt of the 1st above-mentioned operation, and is p+. The mold punch-through stopper 5 may be omitted. In this case, p+ The step (see the explanation of the manufacture approach) which forms the mold punch-through stopper 5 is skipped, and it can contribute to reduction of a manufacturing cost. Moreover, it is not based on the MOS mold solid state camera in connection with the gestalt of the 2nd and 3rd operations, but ** is also p+. If only constant width X makes the mold punch-through prevention field 6 enter the

component field A (refer to drawing 5), also in the MOS transistor of the component field A, the effectiveness of punch-through prevention can fully be acquired.

[0128] In the MOS mold solid state camera in connection with the gestalt of the above-mentioned 1st thru/or the 3rd above-mentioned operation, p⁺ mold punch-through prevention field 6 may be formed by the ion implantation of p mold impurity, using the mask used at the time of the ion implantation for determining the threshold of an MOS transistor as it is. To the channel section of the read-out gate in the component field A (MOS transistor), this modification is applied, when not performing a channel ion implantation.

[0129] In the MOS mold solid state camera in connection with the gestalt of the above-mentioned 1st thru/or the 3rd above-mentioned operation, although it was the example in which the n channel MOS transistor was formed in the p type semiconductor substrate, this invention can be applied, for example, also when forming a p channel MOS transistor in a n-type-semiconductor substrate.

[0130]

[Effect of the Invention] As mentioned above, according to [as explained] the MOS mold solid state camera and its manufacture approach of this invention, directly under [signal are recording field] a photodiode, it is p⁺. The mold punch-through prevention field is not formed. On the other hand, it is p⁺. Only constant width enters at least the component field in which the read-out gate (MOS transistor) where the source serves as a signal are recording field of a photodiode is formed, and a mold punch-through prevention field is formed in the whole component field other than the component field.

[0131] Therefore, when the gate length of an MOS transistor becomes short and the thickness of the gate oxide becomes thin, it becomes possible to prevent both the punch-through of an MOS transistor, and the punch-through between components (between two components whose discrete insulating layers are pinched). Moreover, it is the signal are recording field of a photodiode p⁺ Since it is not necessary to reverse the conductivity type of a mold punch-through prevention field, and to form, it can be low and the depletion-ized potential of the photodiode formed in a single pixel can be stabilized.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view showing the MOS mold solid state camera in connection with the gestalt of the 1st operation of this invention.

[Drawing 2] The sectional view showing the MOS mold solid state camera in connection with the gestalt of the 2nd operation of this invention.

[Drawing 3] The sectional view showing the MOS mold solid state camera in connection with the gestalt of the 3rd operation of this invention.

[Drawing 4] The sectional view showing one process of the manufacture approach of the MOS mold

solid state camera in connection with this invention.

[Drawing 5] The sectional view showing one process of the manufacture approach of the MOS mold solid state camera in connection with this invention.

[Drawing 6] The sectional view showing one process of the manufacture approach of the MOS mold solid state camera in connection with this invention.

[Drawing 7] The sectional view showing one process of the manufacture approach of the MOS mold solid state camera in connection with this invention.

[Drawing 8] The sectional view showing one process of the manufacture approach of the MOS mold solid state camera in connection with this invention.

[Drawing 9] The sectional view showing one process of the manufacture approach of the MOS mold solid state camera in connection with this invention.

[Drawing 10] The circuit diagram showing the pixel of an MOS mold solid state camera.

[Description of Notations]

- 1 [] : -- P Type Semiconductor Substrate,
- 2 [] :N- Mold Signal Are Recording Field,
- 3 [] : -- P++ Mold Surface Shielding Layer,
- 4 [] : -- N Type 1st Semiconductor Region,
- 5 [] :P+ Mold Punch-through Stopper,
- 6 [] :P+ Mold Punch-through Prevention Field,
- 7 [] : -- Gate Oxide,
- 8 [] : -- Read-out Gate Electrode,
- 9 [] : -- P Mold Read-out Channel Field,
- 10 [] : -- Discrete Insulating Layer,
- 11 [] : -- N Type 2nd Semiconductor Region,
- 12 [] : -- N Type 3rd Semiconductor Region,
- 13 [] : -- P Mold Channel Field,
- 14 [] : -- Gate Electrode,
- 15 [] : -- Buffer Oxide Film,
- 16, 17, 18, 18', 19 : Resist layer,
- 21 [] : -- Photodiode,
- 22 [] : -- Read-out Gate,
- 23 [] : -- Reset Gate,
- 24 [] : -- Magnification Gate,
- 25 [] : -- Selector Gate,
- 26 [] : -- Vertical-Scanning Circuit,
- 27 [] : -- Horizontal Scanning Circuit,
- 28 [] : -- the load gate.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-16242
(P2002-16242A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル (参考)
H 0 1 L 27/146		H 0 1 L 27/14	A 4 M 1 1 8
31/10		31/10	A 5 F 0 4 9

審査請求 未請求 請求項の数21 O L (全 14 頁)

(21) 出願番号 特願2000-195175 (P2000-195175)

(22) 出願日 平成12年6月28日 (2000.6.28)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 石渡 宏明

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム (参考) 4M118 AA10 AB01 BA14 CA04 EA07

EA14 FA06 FA26 FA28 FA33

5F049 MA02 MA15 NA17 NB05 QA15

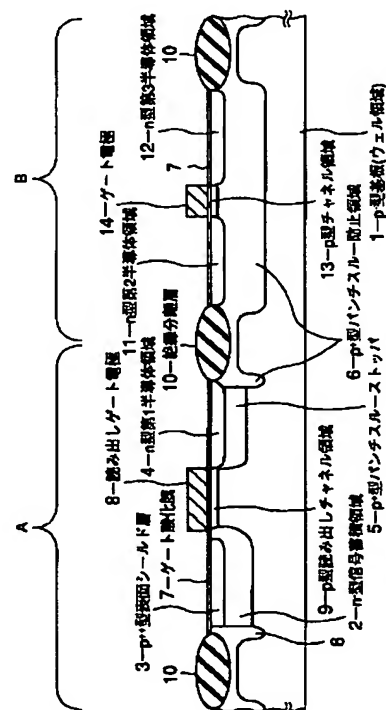
UA11 UA20

(54) 【発明の名称】 MOS型固体撮像装置及びその製造方法

(57) 【要約】

【課題】 MOS型固体撮像装置に関し、MOS素子が微細化されても、電荷転送能力向上とパンチスルー防止を同時に実現する。

【解決手段】 p^+ 型パンチスルー防止領域6は、フォトダイオードの n^- 型信号蓄積領域2直下には形成されていない。 n^- 型信号蓄積領域2は、 p 型半導体基板1内に形成される。 p^+ 型パンチスルー防止領域6は、フォトダイオード及び読み出しゲートが形成される素子領域A以外の素子領域Bには、その素子領域Bの全体に形成される。また、 p^+ 型パンチスルー防止領域6は、素子間のパンチスルー防止のため、絶縁分離層10の直下にも形成される。 n 型第1半導体領域4直下には、 p^+ 型パンチスルーストップ5を形成してもよい。



(2)

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板内に形成される光電変換素子と、前記半導体基板の第1素子領域内に形成され、前記光電変換素子により生成される電荷を読み出すための第2導電型の第1MOSトランジスタと、前記半導体基板の第2素子領域内に形成される第2導電型の第2MOSトランジスタとを具備し、前記第2素子領域の全体にパンチスルーを防止するための第1導電型のパンチスルー防止領域が設けられていることを特徴とするMOS型固体撮像装置。

【請求項2】 前記第1及び第2素子領域を取り囲む絶縁分離層を具備し、前記パンチスルー防止領域は、前記絶縁分離層の直下にも設けられていることを特徴とする請求項1記載のMOS型固体撮像装置。

【請求項3】 前記パンチスルー防止領域は、前記第1素子領域の周辺部に前記絶縁分離層に沿って設けられていることを特徴とする請求項2記載のMOS型固体撮像装置。

【請求項4】 前記絶縁分離層から前記第1素子領域内の前記パンチスルー防止領域の端までの幅は、前記パンチスルー防止領域を形成する際に使用するマスク材の合わせずれ以上に確保されていることを特徴とする請求項3記載のMOS型固体撮像装置。

【請求項5】 前記幅は、 $0.2\mu\text{m}$ 以上であることを特徴とする請求項4記載のMOS型固体撮像装置。

【請求項6】 前記第2素子領域における前記パンチスルー防止領域の位置は、前記絶縁分離層の直下における前記パンチスルー防止領域の位置よりも深いことを特徴とする請求項2記載のMOS型固体撮像装置。

【請求項7】 前記MOS型固体撮像装置は、複数の画素を有し、各画素は、前記光電変換素子、前記第1MOSトランジスタ及び前記第2MOSトランジスタを有していることを特徴とする請求項1記載のMOS型固体撮像装置。

【請求項8】 前記光電変換素子は、前記第1素子領域内に形成され、前記第1MOSトランジスタのソースが前記光電変換素子の第2導電型の信号蓄積領域となることを特徴とする請求項1記載のMOS型固体撮像装置。

【請求項9】 前記第1MOSトランジスタのドレインの直下に形成される第1導電型のパンチスルーストップパを具備することを特徴とする請求項8記載のMOS型固体撮像装置。

【請求項10】 前記パンチスルー防止領域は、前記第1MOSトランジスタのドレインの直下に設けられていることを特徴とする請求項8記載のMOS型固体撮像装置。

【請求項11】 前記パンチスルー防止領域は、前記第1MOSトランジスタのドレイン及びチャネルの一部を覆っていることを特徴とする請求項8記載のMOS型固体撮像装置。

【請求項12】 前記光電変換素子は、前記半導体基板と前記信号蓄積領域から構成され、前記信号蓄積領域の直下には、前記パンチスルー防止領域が設けられていないことを特徴とする請求項8記載のMOS型固体撮像装置。

【請求項13】 前記パンチスルー防止領域は、前記信号蓄積領域に隣接していることを特徴とする請求項12記載のMOS型固体撮像装置。

【請求項14】 前記第2素子領域における前記パンチスルー防止領域の深さは、 $0.2\mu\text{m}$ 以上 $0.4\mu\text{m}$ 以下に設定されていることを特徴とする請求項1記載のMOS型固体撮像装置。

【請求項15】 前記第1及び第2MOSトランジスタのゲート長は、 $0.4\mu\text{m}$ 以下に設定され、ゲート酸化膜の厚さは、 10nm 以下に設定されていることを特徴とする請求項1記載のMOS型固体撮像装置。

【請求項16】 第1導電型の半導体基板上に絶縁分離層を形成し、前記絶縁分離層に取り囲まれた第1及び第2素子領域を形成する工程と、イオン注入法により前記半導体基板内に第1導電型の不純物を注入し、少なくとも前記絶縁分離層の直下及び前記第2素子領域内の全体に、パンチスルーを防止するための第1導電型のパンチスルー防止領域を形成する工程と、前記第1素子領域内に、光電変換素子及び前記光電変換素子により生成された電荷を読み出すための第1MOSトランジスタを形成すると共に、前記第2素子領域内に、第2MOSトランジスタを形成する工程とを具備することを特徴とするMOS型固体撮像装置の製造方法。

【請求項17】 前記不純物は、前記絶縁分離層を突き抜けるような加速エネルギー及びドーズ量で、前記半導体基板内に注入されることを特徴とする請求項16記載のMOS型固体撮像装置の製造方法。

【請求項18】 前記不純物は、前記第2MOSトランジスタの閾値を決定するチャネルイオン注入時のマスクをそのまま使用して、前記半導体基板内に注入されることを特徴とする請求項16記載のMOS型固体撮像装置の製造方法。

【請求項19】 前記不純物は、前記第1素子領域上の一部を覆うレジスト層をマスクとして、前記半導体基板内に注入されることを特徴とする請求項16記載のMOS型固体撮像装置の製造方法。

【請求項20】 前記レジスト層は、少なくとも前記絶縁分離層から一定幅だけ前記第1素子領域に入り込んだ位置よりも内側の領域であって、前記光電変換素子の第2導電型の信号蓄積領域上に形成されることを特徴とする請求項19記載のMOS型固体撮像装置の製造方法。

【請求項21】 前記不純物は、前記第1素子領域内の一部にも注入されることを特徴とする請求項16記載のMOS型固体撮像装置の製造方法。

【発明の詳細な説明】

(3)

3

【0001】

【発明の属する技術分野】本発明は、MOS型固体撮像装置のデバイス構造に関し、特に、ゲート長（チャネル長）が短く、ゲート酸化膜が薄いために、パンチスルーが問題となるようなMOSトランジスタを有するMOS型固体撮像装置に使用される。

【0002】

【従来の技術】図10は、MOS型固体撮像装置の1画素分の回路構成を示している。

【0003】画素は、光信号を電気信号（電荷）に変換するためのフォトダイオード21、フォトダイオード21の電荷を検出部（検出ノード）Dに転送するための読み出しゲート22、検出部Dの電荷（電位）をリセットするためのリセットゲート23、検出部Dの電位を増幅する増幅ゲート24及び選択された画素の電位を出力するための選択ゲート25から構成される。

【0004】そして、一定期間にフォトダイオード21において光電変換され、かつ、信号蓄積領域に蓄積された電荷は、読み出しゲート22を経由して検出部Dに転送される。フォトダイオード21から検出部Dに転送された電荷は、検出部Dの電位を変化させる。増幅ゲート24は、この検出部Dの電位変化を増幅するため、増幅された信号電位が画素から出力される。

【0005】ここで、MOS型固体撮像装置においては、フォトダイオード（光電変換部）21の信号蓄積領域に蓄積された電荷の全てを検出部Dに完全に転送すること、さらには、全画素内のフォトダイオード21の特性を安定させることなどを目的として、半導体基板（又はウェル領域）の不純物濃度は、できるだけ薄くすることが求められている。

【0006】しかし、半導体基板（又はウェル領域）の不純物濃度の値が低い場合において、画素容量の増大（画素の高密度化）のためにMOSトランジスタが微細化され、その結果、MOSトランジスタのゲート長（チャネル長）が短くなり、かつ、そのゲート酸化膜が薄くなると、ゲート制御に関係なく、MOSトランジスタのソースからドレインに電荷が流れるというパンチスルーが発生する。

【0007】このパンチスルーが発生すると、不要な信号（電荷）がMOSトランジスタを流れることになり、固体撮像装置の正常動作を確保できなくなる。

【0008】そこで、パンチスルーを防止することが必要となる。従来、ロジック製品においては、このパンチスルーを防止するために、半導体基板の内部（表面から十分に深い位置）にパンチスルー防止領域が設けられている。

【0009】パンチスルー防止領域は、MOSトランジスタのソースとドレインの間のリークを防止するものであるため、通常、半導体基板がp型、MOSトランジスタのソース及びドレインがn型の場合には、パンチスル

4

一防止領域は、p型となる。そして、このようなパンチスルー防止領域は、ロジック製品に対しては、パンチスルーの防止に非常に有効な手段となっている。

【0010】しかし、MOS型固体撮像装置においては、半導体基板の内部（表面から十分に深い位置）に、フォトダイオードを形成する必要がある。フォトダイオードは、例えば、p型半導体基板とn型信号蓄積領域（不純物領域）から構成されるため、この信号蓄積領域を半導体基板の内部（表面から十分に深い位置）に形成しなければならない。

【0011】この場合、半導体基板内にパンチスルー防止領域を形成しようとする、フォトダイオードの信号蓄積領域を構成する不純物（例えば、リン）の導電型（例えば、n型）と、パンチスルー防止領域を構成する不純物（例えば、ホウ素）の導電型（例えば、p）は、互いに逆となる。しかも、上述のように、これら信号蓄積領域とパンチスルー防止領域は、半導体基板の内部のほぼ同じ位置（表面から十分に深い位置）に形成される。

【0012】従って、MOS型固体撮像装置にパンチスルー防止領域を適用しようとする、通常、パンチスルー防止領域を形成した後に、パンチスルー防止領域内に信号蓄積領域を形成することになるため、信号蓄積領域を形成する際には、パンチスルー防止領域の導電型（例えば、p型）を反転させるに十分な量の不純物（例えば、n型不純物）を注入しなければならない。

【0013】ところで、光電変換によりフォトダイオードの信号蓄積領域に蓄積された電荷の全てを完全に読み出すためには、フォトダイオードの空乏化電位をできるだけ小さくすることが重要となる。フォトダイオードの空乏化電位を小さくするためには、フォトダイオードの信号蓄積領域をできるだけ低い不純物濃度で安定的に形成することが有効となる。

【0014】しかし、上述のように、フォトダイオードの信号蓄積領域をパンチスルー防止領域内に形成する場合には、パンチスルー防止領域の導電型（例えば、p型）を反転させるに十分な量の不純物（例えば、n型不純物）を半導体基板内に導入しなければならない。単純に見積もっても、パンチスルー防止領域のp型不純物濃度よりも高い不純物濃度のn型不純物を半導体基板内に注入する必要がある。

【0015】この場合、p型不純物による影響とn型不純物による影響が互いに相殺される点を考慮すると、フォトダイオードの信号蓄積領域の不純物濃度は、概ね、イオン注入により半導体基板内に注入されるn型不純物量 d_n からパンチスルー防止領域を構成するp型不純物の不純物濃度 d_p を引いた値（ $d_n - d_p$ ）に等しくなる。

【0016】しかし、イオン注入により半導体基板内に注入されるn型不純物量 d_n 及びパンチスルー防止領域

50

(4)

5

を構成するp型不純物の不純物濃度 d_p は、共に、比較的大きな数値となる。つまり、大きな数値から大きな数値を引いて小さい数値を得ようとする場合には、大きな数値の小さな変動が小さな数値の大きな変動となるため、MOS型固体撮像装置にパンチスルー防止領域を適用した場合には、フォトダイオードの信号蓄積領域の不純物濃度を、薄くし、かつ、安定して得ることが非常に難しくなる。

【0017】結局、イオン注入により半導体基板内に注入するn型不純物の不純物濃度の小さな変動が、フォトダイオードの信号蓄積領域の不純物濃度の大きな変動となり、これに伴い、フォトダイオードの空乏化電位も大きく変動し、安定的に、信号蓄積領域の電荷を読み出すことができなくなる。

【0018】

【発明が解決しようとする課題】このように、MOS型固体撮像装置においては、画素容量の増大（画素の高密度化）に起因し、MOSトランジスタのゲート長が短く、ゲート酸化膜の厚さが薄くなって、パンチスルーが問題となってきている。一方、既に、ロジック製品などにおいて実用化されているパンチスルー防止領域を、単に、MOS型固体撮像装置に適用することは、フォトダイオードの信号蓄積領域の存在により非常に困難となっている。

【0019】なぜなら、電荷の転送を確実に行うためには、フォトダイオードの信号蓄積領域の不純物濃度を、薄く、かつ、安定させ、フォトダイオードの空乏化電位を、低く、かつ、安定させることが好ましい。しかし、パンチスルー防止領域を設けると、このパンチスルー防止領域の導電型を反転させて信号蓄積領域を形成しなければならないため、信号蓄積領域を、低不純物濃度で、かつ、安定的に形成できなくなるからである。

【0020】即ち、従来のMOS型固体撮像装置においては、MOSトランジスタが微細化され、パンチスルーが問題となるような場合に、パンチスルー防止のためのパンチスルー防止領域を設けると、フォトダイオードの空乏化電位を低く、かつ、安定させることが困難で、均一な電荷転送能力を持つMOS型固体撮像装置を安定的に製造することができなかった。

【0021】本発明は、上記欠点を解決するためになされたもので、その目的は、フォトダイオードの信号蓄積領域を、低不純物濃度で、かつ、安定的に形成できると共に、MOSトランジスタが微細化されても、パンチスルーを防止することができるMOS型固体撮像装置及びその製造方法を提案することにある。

【0022】

【課題を解決するための手段】（1） 本発明のMOS型固体撮像装置は、第1導電型の半導体基板内に形成される光電変換素子と、前記半導体基板の第1素子領域内に形成され、前記光電変換素子により生成される電荷を

6

読み出すための第2導電型の第1MOSトランジスタと、前記半導体基板の第2素子領域内に形成される第2導電型の第2MOSトランジスタとを備え、前記第2素子領域の全体にパンチスルーを防止するための第1導電型のパンチスルー防止領域が設けられている。

【0023】本発明のMOS型固体撮像装置は、さらに、前記第1及び第2素子領域を取り囲む絶縁分離層を備え、前記パンチスルー防止領域は、前記絶縁分離層の直下にも設けられている。

10 【0024】前記パンチスルー防止領域は、前記第1素子領域の周辺部に前記絶縁分離層に沿って設けられている。

【0025】前記絶縁分離層から前記第1素子領域内の前記パンチスルー防止領域の端までの幅は、前記パンチスルー防止領域を形成する際に使用するマスク材の合わせずれ以上に確保されている。前記幅は、例えば、0.2 μ m以上に設定される。

20 【0026】前記第2素子領域における前記パンチスルー防止領域の位置は、前記絶縁分離層の直下における前記パンチスルー防止領域の位置よりも深い。

【0027】本発明のMOS型固体撮像装置は、複数の画素を有し、各画素は、前記光電変換素子、前記第1MOSトランジスタ及び前記第2MOSトランジスタを有している。

【0028】前記光電変換素子は、前記第1素子領域内に形成され、前記第1MOSトランジスタのソースが前記光電変換素子の第2導電型の信号蓄積領域となる。

30 【0029】本発明のMOS型固体撮像装置は、さらに、前記第1MOSトランジスタのドレインの直下に形成される第1導電型のパンチスルーストップを備える。

【0030】前記パンチスルー防止領域は、前記第1MOSトランジスタのドレインの直下に設けられている。また、前記パンチスルー防止領域は、前記第1MOSトランジスタのドレイン及びチャネルの一部を覆っている。

【0031】前記光電変換素子は、前記半導体基板と前記信号蓄積領域から構成され、前記信号蓄積領域の直下には、前記パンチスルー防止領域が設けられていない。

40 【0032】前記パンチスルー防止領域は、前記信号蓄積領域に隣接している。

【0033】前記第2素子領域における前記パンチスルー防止領域の深さは、例えば、0.2 μ m以上0.4 μ m以下に設定される。

【0034】前記第1及び第2MOSトランジスタのゲート長は、例えば、0.4 μ m以下に設定され、ゲート酸化膜の厚さは、例えば、10nm以下に設定される。

50 【0035】（2） 本発明のMOS型固体撮像装置の製造方法は、第1導電型の半導体基板上に絶縁分離層を形成し、前記絶縁分離層に取り囲まれた第1及び第2素子領域を形成する工程と、イオン注入法により前記半導

(5)

7

体基板内に第1導電型の不純物を注入し、少なくとも前記絶縁分離層の直下及び前記第2素子領域内の全体に、パンチスルーを防止するための第1導電型のパンチスルー防止領域を形成する工程と、前記第1素子領域内に、光電変換素子及び前記光電変換素子により生成された電荷を読み出すための第1MOSトランジスタを形成すると共に、前記第2素子領域内に、第2MOSトランジスタを形成する工程とを備える。

【0036】前記不純物は、前記絶縁分離層を突き抜けるような加速エネルギー及びドーズ量で、前記半導体基板内に注入される。

【0037】前記不純物は、前記第2MOSトランジスタの閾値を決定するチャネルイオン注入時のマスクをそのまま使用して、前記半導体基板内に注入される。

【0038】前記不純物は、前記第1素子領域上の一部を覆うレジスト層をマスクとして、前記半導体基板内に注入される。

【0039】前記レジスト層は、少なくとも前記絶縁分離層から一定幅だけ前記第1素子領域に入り込んだ位置よりも内側の領域であって、前記光電変換素子の第2導電型の信号蓄積領域上に形成される。

【0040】前記不純物は、前記第1素子領域内の一部にも注入される。

【0041】

【発明の実施の形態】以下、図面を参照しながら、本発明のMOS型固体撮像装置及びその製造方法について詳細に説明する。

【0042】〔第1実施の形態〕図1は、本発明の第1実施の形態に関わるMOS型固体撮像装置のデバイス構造を示している。

【0043】p型半導体基板1は、低い不純物濃度、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$ を有している。半導体基板1は、フォトダイオードのアノードとなっており、例えば、半導体基板1は、接地電位に設定されている。但し、半導体基板1内にp型ウェル領域を形成し、このp型ウェル領域をフォトダイオードのアノードとしてもよい。この場合、p型ウェル領域の不純物濃度は、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$ に設定される。

【0044】半導体基板1上には、素子同士を電氣的に分離する絶縁分離層10が配置される。本例では、絶縁分離層10は、例えば、LOCOS (Local Oxidation of Silicon) 法により形成されるフィールド酸化膜となっているが、これに代えて、例えば、STI (Shallow Trench Isolation) 法により形成される酸化膜を用いてもよい。

【0045】絶縁分離層10により取り囲まれた素子領域Aは、例えば、図10に示すフォトダイオード21と読み出しゲート22が形成される領域となっている。また、絶縁分離層10により取り囲まれた素子領域Bは、

8

例えば、図10に示すリセットゲート23、増幅ゲート24、選択ゲート25などの素子（フォトダイオード21及び読み出しゲート22以外の素子）が形成される領域となっている。

【0046】素子領域Aにおいて、半導体基板1の内部（表面から十分に深い位置）には、 n^- 型信号蓄積領域2が配置される。また、本例では、 n^- 型信号蓄積領域2は、 p^+ 型パンチスルー防止領域6内に形成されることなく、半導体基板1内に直接形成される。 n^- 型信号蓄積領域2内には、 p^{++} 型表面シールド層3が配置される。

【0047】また、素子領域Aにおいて、半導体基板1の内部（表面から十分に深い位置）であって、 n^- 型信号蓄積領域2が配置される部分とは異なる部分に、 p^+ 型パンチスルーストップパ5が配置される。 p^+ 型パンチスルーストップパ5内には、 n 型第1半導体領域4が配置される。

【0048】 n^- 型信号蓄積領域2と n 型第1半導体領域4の間のp型読み出しチャネル領域9上には、例えば、 SiO_2 から構成されるゲート酸化膜7を経由して、読み出しゲート電極8が配置される。読み出しゲート電極8は、例えば、 n 型不純物を含んだ導電性ポリシリコン膜から構成される。読み出しゲート電極8は、図10の読み出しゲート22のゲート電極である。

【0049】素子領域Bにおいて、半導体基板1の内部（表面から十分に深い位置）には、パンチスルーを防止するための p^+ 型パンチスルー防止領域6が配置される。 p^+ 型パンチスルー防止領域6は、素子領域Bの全体に配置されている。 p^+ 型パンチスルー防止領域6内には、 n 型第2半導体領域11及び n 型第3半導体領域12が配置される。

【0050】 n 型第2半導体領域11と n 型第3半導体領域12の間のp型チャネル領域13上には、例えば、 SiO_2 から構成されるゲート酸化膜7を経由して、ゲート電極14が配置される。ゲート電極14は、例えば、 n 型不純物を含んだ導電性ポリシリコン膜から構成される。ゲート電極14は、例えば、図10のリセットゲート23、増幅ゲート24、選択ゲート25などのMOSトランジスタのゲート電極となる。

【0051】上述のMOS型固体撮像装置のデバイス構造の特徴は、第一に、 p^+ 型パンチスルー防止領域6が n^- 型信号蓄積領域2の直下に形成されていない点にある。つまり、本発明では、 n^- 型信号蓄積領域2は、半導体基板1内に直接形成され、 p^+ 型パンチスルー防止領域6内に形成されないため、 n^- 型信号蓄積領域2を、低い不純物濃度で、かつ、安定的に形成することができる。

【0052】具体的には、半導体基板1の不純物濃度（例えば、ボロン濃度）は、上述のように、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$ に設定され、 p^+ 型

(6)

9

パンチスルー防止領域6の不純物濃度(例えば、ボロン濃度)は、例えば、 $1 \times 10^{17} \text{ atoms/cm}^3$ に設定される。

【0053】即ち、本発明では、 p^+ 型パンチスルー防止領域6の不純物濃度よりも2桁も小さい不純物濃度を有する半導体基板1内に、 n^- 型信号蓄積領域2を形成することになるため、 n 型不純物のイオン注入によるドーズ量を低く設定でき、結果として、 n^- 型信号蓄積領域2を、低い不純物濃度で、かつ、安定的に形成できるようになる。

【0054】第二に、 p^+ 型パンチスルー防止領域6は、絶縁分離層10の直下及び素子領域Bの全体に形成されるが、素子領域Aにおいては、 n 型第1半導体領域4の直下のみ、 p^+ 型パンチスルーストップ5が形成される。即ち、 n 型第1半導体領域4は、図10に示す検出部(検出ノード)Dとなるものであり、 n^- 型信号蓄積領域2のように、その不純物濃度を低く設定する必要がない。

【0055】従って、 n 型第1半導体領域4の直下には、 p^+ 型パンチスルーストップ5を形成し、例えば、 n 型第1半導体領域4と他の n 型半導体領域との間で生じるパンチスルーを防止する必要がある。

【0056】なお、 p^+ 型パンチスルー防止領域6は、絶縁分離層10の直下に確実に形成されていることが必要である。絶縁分離層10を挟む2つの n 型半導体領域の間のパンチスルーを有効に防止するためである。

【0057】このため、例えば、 p^+ 型パンチスルー防止領域6は、絶縁分離層10を形成した後、ゲート電極8、14を形成する前に、所定の加速エネルギー及び所定のドーズ量のイオン注入法により形成される。このときのイオン注入の条件を、不純物(例えば、ボロン)が絶縁分離層10を突き抜けるような条件に設定すると、図1に示すように、絶縁分離層10が存在しない素子領域Bにおいては、不純物は、半導体基板1の深い位置まで到達し、 p^+ 型パンチスルー防止領域6は、半導体基板1の表面から十分に深い位置に形成される。

【0058】なお、図1において、ゲート酸化膜7の厚さは、例えば、8nm程度に設定され、ゲート電極14のゲート長(チャネル長)は、例えば、0.4 μm 程度に設定される。また、 p^+ 型表面シールド層3の不純物濃度は、例えば、 $1 \times 10^{18} \text{ atoms/cm}^3$ 程度に設定され、 p^+ 型パンチスルーストップ5及び p^+ 型パンチスルー防止領域6の不純物濃度は、例えば、共に、 $1 \times 10^{17} \text{ atoms/cm}^3$ 程度に設定される。

【0059】以上、説明したように、本発明の第1実施の形態に関わるMOS型固体撮像装置によれば、フォトダイオードの信号蓄積領域を、低不純物濃度で、かつ、安定的に形成できると共に、MOSトランジスタが微細化されても、パンチスルーを防止することもできる。

10

【0060】【第2実施の形態】本実施の形態に関わるMOS型固体撮像装置は、 p^+ 型パンチスルー防止領域6に特徴を有する。

【0061】上述の第1実施の形態に関わるMOS型固体撮像装置では、読み出しゲート(素子領域AのMOSトランジスタ)のソース側にフォトダイオードを形成し、そのドレイン側に検出部(検出ノード)Dとしての n 型第1半導体領域4が配置される。そして、この n 型第1半導体領域4の直下に、 p^+ 型パンチスルーストップ5が、 p^+ 型パンチスルー防止領域6とは別に形成される。

【0062】しかし、 p^+ 型パンチスルーストップ5と p^+ 型パンチスルー防止領域6は、互いに同じ目的(パンチスルー防止)で、かつ、互いに同じ不純物濃度で形成される。従って、 n 型第1半導体領域4の直下には、 p^+ 型パンチスルーストップ5ではなく、 p^+ 型パンチスルー防止領域6を形成してもよいことは言うまでもない。

【0063】そこで、本実施の形態では、 n 型第1半導体領域4の直下にも、 p^+ 型パンチスルー防止領域6を形成する。その結果、本実施の形態では、 p^+ 型パンチスルーストップ5が不要となり、その分だけ、製造工程が簡略化されるという効果を得ることができる。

【0064】以下、本実施の形態に関わるMOS型固体撮像装置について説明する。

【0065】図2は、本発明の第2実施の形態に関わるMOS型固体撮像装置のデバイス構造を示している。

【0066】 p 型半導体基板1は、低い不純物濃度、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$ を有している。半導体基板1は、フォトダイオードのアノードとなっており、例えば、半導体基板1は、接地電位に設定されている。但し、半導体基板1内に p 型ウェル領域を形成し、この p 型ウェル領域をフォトダイオードのアノードとしてもよい。この場合、 p 型ウェル領域の不純物濃度は、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$ に設定される。

【0067】半導体基板1上には、素子同士を電気的に分離する絶縁分離層10が配置される。本例では、絶縁分離層10は、例えば、LOCOS(Local Oxidation of Silicon)法により形成されるフィールド酸化膜となっているが、これに代えて、例えば、STI(Shallow Trench Isolation)法により形成される酸化膜を用いてもよい。

【0068】絶縁分離層10により取り囲まれた素子領域Aは、例えば、図10に示すフォトダイオード21と読み出しゲート22が形成される領域となっている。また、絶縁分離層10により取り囲まれた素子領域Bは、例えば、図10に示すリセットゲート23、増幅ゲート24、選択ゲート25などの素子(フォトダイオード21及び読み出しゲート22以外の素子)が形成される領

(7)

11

域となっている。

【0069】素子領域Aにおいて、半導体基板1の内部（表面から十分に深い位置）には、 n^- 型信号蓄積領域2が配置される。また、本例では、 n^- 型信号蓄積領域2は、 p^+ 型パンチスルー防止領域6内に形成されることなく、半導体基板1内に直接形成される。 n^- 型信号蓄積領域2内には、 p^{++} 型表面シールド層3が配置される。

【0070】また、素子領域Aにおいて、半導体基板1の内部（表面から十分に深い位置）であって、 n^- 型信号蓄積領域2が配置される部分とは異なる部分に、 p^+ 型パンチスルー防止領域6が配置される。 p^+ 型パンチスルー防止領域6内には、 n 型第1半導体領域4が配置される。

【0071】 n^- 型信号蓄積領域2と n 型第1半導体領域4の間の p 型読み出しチャネル領域9上には、例えば、 SiO_2 から構成されるゲート酸化膜7を経由して、読み出しゲート電極8が配置される。読み出しゲート電極8は、例えば、 n 型不純物を含んだ導電性ポリシリコン膜から構成される。読み出しゲート電極8は、図10の読み出しゲート22のゲート電極である。

【0072】素子領域Bにおいて、半導体基板1の内部（表面から十分に深い位置）には、パンチスルーを防止するための p^+ 型パンチスルー防止領域6が配置される。 p^+ 型パンチスルー防止領域6は、素子領域Bの全体に配置されている。 p^+ 型パンチスルー防止領域6内には、 n 型第2半導体領域11及び n 型第3半導体領域12が配置される。

【0073】 n 型第2半導体領域11と n 型第3半導体領域12の間の p 型チャネル領域13上には、例えば、 SiO_2 から構成されるゲート酸化膜7を経由して、ゲート電極14が配置される。ゲート電極14は、例えば、 n 型不純物を含んだ導電性ポリシリコン膜から構成される。ゲート電極14は、例えば、図10のリセットゲート23、増幅ゲート24、選択ゲート25などのMOSトランジスタのゲート電極となる。

【0074】上述のMOS型固体撮像装置のデバイス構造においても、上述の第1実施の形態に関わるMOS型固体撮像装置と同様に、 p^+ 型パンチスルー防止領域6が n^- 型信号蓄積領域2の直下に形成されていない。つまり、本発明では、 n^- 型信号蓄積領域2は、半導体基板1内に直接形成され、 p^+ 型パンチスルー防止領域6内に形成されないため、 n^- 型信号蓄積領域2を、低い不純物濃度で、かつ、安定的に形成することができる。

【0075】具体的には、半導体基板1の不純物濃度（例えば、ボロン濃度）は、上述のように、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$ に設定され、 p^+ 型パンチスルー防止領域6の不純物濃度（例えば、ボロン濃度）は、例えば、 $1 \times 10^{17} \text{ atoms/cm}^3$

12

に設定される。

【0076】即ち、本発明では、 p^+ 型パンチスルー防止領域6の不純物濃度よりも2桁も小さい不純物濃度を有する半導体基板1内に、 n^- 型信号蓄積領域2を形成することになるため、 n 型不純物のイオン注入によるドーズ量を低く設定でき、結果として、 n^- 型信号蓄積領域2を、低い不純物濃度で、かつ、安定的に形成できるようになる。

【0077】なお、 p^+ 型パンチスルー防止領域6は、絶縁分離層10の直下に確実に形成されていることが必要である。絶縁分離層10を挟む2つの n 型半導体領域の間のパンチスルーを有効に防止するためである。

【0078】このため、例えば、 p^+ 型パンチスルー防止領域6は、絶縁分離層10を形成した後、ゲート電極8、14を形成する前に、所定の加速エネルギー及び所定のドーズ量のイオン注入法により形成される。このときのイオン注入の条件を、不純物（例えば、ボロン）が絶縁分離層10を突き抜けるような条件に設定すると、図2に示すように、絶縁分離層10が存在しない素子領域においては、不純物は、半導体基板1の深い位置まで到達し、 p^+ 型パンチスルー防止領域6は、半導体基板1の表面から十分に深い位置に形成される。

【0079】なお、図2において、ゲート酸化膜7の厚さは、例えば、8nm程度に設定され、ゲート電極14のゲート長（チャネル長）は、例えば、 $0.4 \mu\text{m}$ 程度に設定される。また、 p^{++} 型表面シールド層3の不純物濃度は、例えば、 $1 \times 10^{18} \text{ atoms/cm}^3$ 程度に設定され、 p^+ 型パンチスルーストップ5及び p^+ 型パンチスルー防止領域6の不純物濃度は、例えば、共に、 $1 \times 10^{17} \text{ atoms/cm}^3$ 程度に設定される。

【0080】以上、説明したように、本発明の第2実施の形態に関わるMOS型固体撮像装置によれば、フォトダイオードの信号蓄積領域を、低不純物濃度で、かつ、安定的に形成できると共に、MOSトランジスタが微細化されても、パンチスルーを防止することもできる。

【0081】〔第3実施の形態〕本実施の形態に関わるMOS型固体撮像装置も、 p^+ 型パンチスルー防止領域6に特徴を有する。

【0082】上述の第2実施の形態に関わるMOS型固体撮像装置では、読み出しゲート（素子領域AのMOSトランジスタ）のドレイン側の n 型第1半導体領域4の直下にも、 p^+ 型パンチスルー防止領域6が形成される。

【0083】これに対し、本実施の形態では、 p^+ 型パンチスルー防止領域6は、素子領域Aにおいて、 n 型第1半導体領域4の直下だけでなく、読み出しゲート（MOSトランジスタ）の読み出しゲート電極8直下のチャネルの一部を覆うように形成される。

【0084】このように、 p^+ 型パンチスルー防止領

(8)

13

域6を、n型第1半導体領域4の直下及び読み出しゲートのチャネルの一部に形成することは、イオン注入時のマスクパターンを変形するだけで容易に実現できる。

【0085】以下、本実施の形態に関わるMOS型固体撮像装置について説明する。

【0086】図3は、本発明の第3実施の形態に関わるMOS型固体撮像装置のデバイス構造を示している。

【0087】p型半導体基板1は、低い不純物濃度、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$ を有している。半導体基板1は、フォトダイオードのアノードとなっており、例えば、半導体基板1は、接地電位に設定されている。但し、半導体基板1内にp型ウェル領域を形成し、このp型ウェル領域をフォトダイオードのアノードとしてもよい。この場合、p型ウェル領域の不純物濃度は、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$ に設定される。

【0088】半導体基板1上には、素子同士を電氣的に分離する絶縁分離層10が配置される。本例では、絶縁分離層10は、例えば、LOCOS (Local Oxidation of Silicon) 法により形成されるフィールド酸化膜となっているが、これに代えて、例えば、STI (Shallow Trench Isolation) 法により形成される酸化膜を用いてもよい。

【0089】絶縁分離層10により取り囲まれた素子領域Aは、例えば、図10に示すフォトダイオード21と読み出しゲート22が形成される領域となっている。また、絶縁分離層10により取り囲まれた素子領域Bは、例えば、図10に示すリセットゲート23、増幅ゲート24、選択ゲート25などの素子（フォトダイオード21及び読み出しゲート22以外の素子）が形成される領域となっている。

【0090】素子領域Aにおいて、半導体基板1の内部（表面から十分に深い位置）には、n⁻型信号蓄積領域2が配置される。また、本例では、n⁻型信号蓄積領域2は、p⁺型パンチスルー防止領域6内に形成されることなく、半導体基板1内に直接形成される。n⁻型信号蓄積領域2内には、p⁺⁺型表面シールド層3が配置される。

【0091】また、素子領域Aにおいて、半導体基板1の内部（表面から十分に深い位置）であって、n⁻型信号蓄積領域2が配置される部分とは異なる部分（読み出しゲートの読み出しチャネル領域9の一部を含む）に、p⁺型パンチスルー防止領域6が配置される。p⁺型パンチスルー防止領域6内には、n型第1半導体領域4が配置される。

【0092】n⁻型信号蓄積領域2とn型第1半導体領域4の間のp型読み出しチャネル領域9上には、例えば、SiO₂ から構成されるゲート酸化膜7を経由して、読み出しゲート電極8が配置される。読み出しゲート電極8は、例えば、n型不純物を含んだ導電性ポリシ

14

リコン膜から構成される。読み出しゲート電極8は、図10の読み出しゲート22のゲート電極である。

【0093】素子領域Bにおいて、半導体基板1の内部（表面から十分に深い位置）には、パンチスルーを防止するためのp⁺型パンチスルー防止領域6が配置される。p⁺型パンチスルー防止領域6は、素子領域Bの全体に配置されている。p⁺型パンチスルー防止領域6内には、n型第2半導体領域11及びn型第3半導体領域12が配置される。

【0094】n型第2半導体領域11とn型第3半導体領域12の間のp型チャネル領域13上には、例えば、SiO₂ から構成されるゲート酸化膜7を経由して、ゲート電極14が配置される。ゲート電極14は、例えば、n型不純物を含んだ導電性ポリシリコン膜から構成される。ゲート電極14は、例えば、図10のリセットゲート23、増幅ゲート24、選択ゲート25などのMOSトランジスタのゲート電極となる。

【0095】上述のMOS型固体撮像装置のデバイス構造においても、上述の第1及び第2実施の形態に関わるMOS型固体撮像装置と同様に、p⁺型パンチスルー防止領域6がn⁻型信号蓄積領域2の直下に形成されていない。つまり、本発明では、n⁻型信号蓄積領域2は、半導体基板1内に直接形成され、p⁺型パンチスルー防止領域6内に形成されないため、n⁻型信号蓄積領域2を、低い不純物濃度で、かつ、安定的に形成することができる。

【0096】具体的には、半導体基板1の不純物濃度（例えば、ボロン濃度）は、上述のように、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$ に設定され、p⁺型パンチスルー防止領域6の不純物濃度（例えば、ボロン濃度）は、例えば、 $1 \times 10^{17} \text{ atoms/cm}^3$ に設定される。

【0097】即ち、本発明では、p⁺型パンチスルー防止領域6の不純物濃度よりも2桁も小さい不純物濃度を有する半導体基板1内に、n⁻型信号蓄積領域2を形成することになるため、n型不純物のイオン注入によるドーズ量を低く設定でき、結果として、n⁻型信号蓄積領域2を、低い不純物濃度で、かつ、安定的に形成できるようになる。

【0098】なお、p⁺型パンチスルー防止領域6は、絶縁分離層10の直下に確実に形成されていることが必要である。絶縁分離層10を挟む2つのn型半導体領域の間のパンチスルーを有効に防止するためである。

【0099】このため、例えば、p⁺型パンチスルー防止領域6は、絶縁分離層10を形成した後、ゲート電極8、14を形成する前に、所定の加速エネルギー及び所定のドーズ量のイオン注入法により形成される。このときのイオン注入の条件を、不純物（例えば、ボロン）が絶縁分離層10を突き抜けるような条件に設定すると、図3に示すように、絶縁分離層10が存在しない素

(9)

15

子領域においては、不純物は、半導体基板1の深い位置まで到達し、 p^+ 型パンチスルー防止領域6は、半導体基板1の表面から十分に深い位置に形成される。

【0100】なお、図3において、ゲート酸化膜7の厚さは、例えば、8nm程度に設定され、ゲート電極14のゲート長（チャンネル長）は、例えば、 $0.4\mu m$ 程度に設定される。また、 p^+ 型表面シールド層3の不純物濃度は、例えば、 $1 \times 10^{18} \text{ atoms/cm}^3$ 程度に設定され、 p^+ 型パンチスルーストップ5及び p^+ 型パンチスルー防止領域6の不純物濃度は、例えば、共に、 $1 \times 10^{17} \text{ atoms/cm}^3$ 程度に設定される。

【0101】以上、説明したように、本発明の第3実施の形態に関わるMOS型固体撮像装置によれば、フォトダイオードの信号蓄積領域を、低不純物濃度で、かつ、安定的に形成できると共に、MOSトランジスタが微細化されても、パンチスルーを防止することもできる。

【0102】[製造方法の説明] 次に、本発明のMOS型固体撮像装置の製造方法について説明する。なお、以下の説明は、上述の第1乃至第3実施の形態に関わるMOS型固体撮像装置の全ての製造方法に適用可能なものである。各実施の形態に独自のステップについては、その都度、説明することにする。

【0103】まず、図4に示すように、LOCOS法により、 p 型半導体基板1上に、絶縁分離層10を形成する。この後、熱酸化により、絶縁分離層10に取り囲まれた素子領域A、B上に、バッファ酸化膜15を形成する。

【0104】次に、図5に示すように、素子領域Aに対して、MOSトランジスタの閾値を決定するためのいわゆるチャンネルイオン注入を行い、 p 型読み出しチャンネル領域9を形成する。同様に、素子領域Bに対して、MOSトランジスタの閾値を決定するためのいわゆるチャンネルイオン注入を行い、 p 型チャンネル領域13を形成する。

【0105】本例では、両チャンネル領域9、13は、2回のイオン注入工程により形成される。この場合、両チャンネル領域9、13を形成するために、2回のPEP（Photo Engraving Process）が必要になる。しかし、素子領域A、Bに形成されるMOSトランジスタの閾値を互いに同じに設定する場合には、両チャンネル領域9、13は、1回のイオン注入工程により形成できる。この場合、両チャンネル領域9、13を形成するためのPEPは、1回でよい。

【0106】この後、レジスト層16を形成し、PEPにより、素子領域A上に、マスクとしてのレジストパターン（レジスト層16）を残存させる。

【0107】なお、この時点において、レジスト層16を素子領域Aの全体を覆うようにすると、上述の第1実施の形態に関わるデバイスの製造方法となる。また、素

16

子領域A上の一部にレジスト層16が配置されないようにすれば、上述の第2及び第3実施の形態に関わるデバイスの製造方法となる。

【0108】そして、イオン注入法により、レジスト層16をマスクにして、 p 型不純物（例えば、ボロン）をイオン注入すれば、半導体基板1の内部には、 p^+ 型パンチスルー防止領域6が形成される。

【0109】この時、 p^+ 型パンチスルー防止領域6が、例えば、半導体基板1の表面から $0.2 \sim 0.4\mu m$ の位置に形成されるように、イオン注入時の加速エネルギーが設定される。但し、この条件は、当然に、絶縁分離層10の直下にも p^+ 型パンチスルー防止領域6が形成されるようなものでなければならない。

【0110】また、 p^+ 型パンチスルー防止領域6の不純物濃度が、例えば、 $1 \times 10^{17} \text{ atoms/cm}^3$ 程度となるように、イオン注入時のドーズ量が設定される。本例では、 p^+ 型パンチスルー防止領域6を形成するためのイオン注入は、1回であることを前提としているが、2回以上のイオン注入により p^+ 型パンチスルー防止領域6を形成するようにしてもよい。

【0111】ここで、実際の製品に対応し得る微妙な条件について説明する。即ち、 p^+ 型パンチスルー防止領域6を形成するに当たって、実際は、レジスト層16は、素子領域Aのサイズよりも一回り小さなサイズに設定される。その理由は、 p^+ 型パンチスルー防止領域6が素子領域Aの周辺において素子領域Aに少しだけ入り込むようにすれば、絶縁分離層10に形成されるダメージにフォトダイオードの空乏層が達することを防止できるからである。

【0112】なお、 p^+ 型パンチスルー防止領域6が素子領域Aに入り込む幅Xは、マスク（レジスト層16）の合わせずれを考慮し、その合わせずれ以上に設定することが好ましい。例えば、その幅Xは、 $0.2\mu m$ 程度又はそれ以上の値に設定される。

【0113】この後、素子領域B上のバッファ酸化膜15を除去し、さらに、熱酸化法により、素子領域B上に、 $10nm$ 以下の厚さ、例えば、8nm程度のゲート酸化膜7を形成する。この後、素子領域A上のレジスト層16を除去し、さらに、素子領域A上のバッファ酸化膜15を除去する。

【0114】次に、図6に示すように、熱酸化法により、素子領域A上に、 $10nm$ 以下の厚さ、例えば、8nm程度のゲート酸化膜7を形成する。

【0115】なお、本例では、素子領域Aのゲート酸化膜7と素子領域Bのゲート酸化膜7を異なるステップにより形成したが、当然に、同一のステップにより形成してもよい。この場合、図5のレジスト層16を除去した後、素子領域A、B上のバッファ酸化膜15が同時に除去され、かつ、素子領域A、B上に、同時にゲート酸化膜7が形成される。

(10)

17

【0116】この後、不純物を含んだ導電性ポリシリコン膜の形成、レジスト層の形成、PEP、RIEというステップを経由すると、素子領域Aのゲート酸化膜7上には、読み出しゲート電極8が形成され、素子領域Bのゲート酸化膜7上には、ゲート電極14が形成される。

【0117】また、酸化膜（又は窒化膜）の形成、RIEというステップを経由すると、ゲート電極8、14の側壁には、いわゆるサイドウォール（スペーサ）が形成される。

【0118】この後、上述の第1実施の形態に関わるデバイスの製造方法に関しては、図6に示すように、レジスト層の塗布及びPEPにより、素子領域A上の一部に開口を有するレジストパターン（レジスト層17）を形成する。そして、イオン注入法により、レジスト層17をマスクにして、半導体基板1内にp型不純物（例えば、ボロン）を注入し、p⁺型パンチスルーストップパ5を形成する。この後、レジスト層17は、除去される。

【0119】なお、上述の第2及び第3実施の形態に関わるデバイスの製造方法に関しては、当然に、p⁺型パンチスルーストップパ5を形成するステップについては、不要である。

【0120】次に、図7に示すように、レジスト層の塗布及びPEPにより、素子領域A上のフォトダイオードを形成する領域に開口を有するレジストパターン（レジスト層18）を形成する。そして、イオン注入法により、レジスト層18及びサイドウォールをマスクにして、半導体基板1内にp型不純物（例えば、BF₂）を注入し、p⁺⁺型表面シールド層3を形成する。この後、レジスト層18を除去する。

【0121】次に、図8に示すように、ゲート電極8、14の側壁に存在するサイドウォールを除去する。そして、再び、レジスト層の塗布及びPEPにより、素子領域A上のフォトダイオードを形成する領域に開口を有するレジストパターン（レジスト層18'）を形成する。この後、イオン注入法により、レジスト層18'をマスクにして、半導体基板1内にn型不純物（例えば、リン）を注入し、n⁻型信号蓄積領域2を形成する。

【0122】この後、レジスト層18'は、除去される。

【0123】最後に、図9に示すように、レジスト層の塗布及びPEPにより、素子領域A上の一部及び素子領域B上に開口を有するレジストパターン（レジスト層19）を形成する。この後、イオン注入法により、レジスト層19及びゲート電極9、14をマスクにして、半導体基板1内にn型不純物（例えば、リン）を注入し、n型第1乃至第3半導体領域4、11、12を形成する。

【0124】この後、レジスト層19は、除去される。

【0125】なお、この後、配線工程やパッシベーション工程などが行われるが、それについては、省略する。

18

【0126】以上より、本発明に関わるMOS型固体撮像装置が完成する。

【0127】〔その他〕上述の第1実施の形態に関わるMOS型固体撮像装置において、p⁺型パンチスルーストップパ5は、省略しても構わない。この場合、p⁺型パンチスルーストップパ5を形成するステップ（製造方法の説明を参照）が省略され、製造コストの低減に貢献できる。また、第2及び第3実施の形態に関わるMOS型固体撮像装置によらずとも、p⁺型パンチスルー防止領域6を素子領域Aに一定幅Xだけ入り込ませれば（図5参照）、素子領域AのMOSトランジスタにおいても、パンチスルー防止の効果は、十分に得ることができる。

【0128】上述の第1乃至第3実施の形態に関わるMOS型固体撮像装置において、p⁺型パンチスルー防止領域6は、MOSトランジスタの閾値を決定するためのイオン注入時に用いるマスクをそのまま用いて、p型不純物のイオン注入により形成してもよい。この変形例は、素子領域A内の読み出しゲート（MOSトランジスタ）のチャネル部に対して、チャネルイオン注入を行わない場合に適用されるものである。

【0129】上述の第1乃至第3実施の形態に関わるMOS型固体撮像装置においては、p型半導体基板内にnチャネルMOSトランジスタを形成した例であったが、例えば、本発明は、n型半導体基板内にpチャネルMOSトランジスタを形成する場合にも適用可能である。

【0130】

【発明の効果】以上、説明したように、本発明のMOS型固体撮像装置及びその製造方法によれば、フォトダイオードの信号蓄積領域直下には、p⁺型パンチスルー防止領域が形成されていない。一方、p⁺型パンチスルー防止領域は、ソースがフォトダイオードの信号蓄積領域となる読み出しゲート（MOSトランジスタ）が形成される素子領域に少なくとも一定幅だけ入り込み、かつ、その素子領域以外の素子領域の全体に形成される。

【0131】従って、MOSトランジスタのゲート長が短くなり、そのゲート酸化膜の厚さが薄くなった場合においても、MOSトランジスタのパンチスルーと素子間（絶縁分離層を挟む2つの素子の間）のパンチスルーを共に防止することが可能となる。また、フォトダイオードの信号蓄積領域を、p⁺型パンチスルー防止領域の導電型を反転させて形成する必要がないため、単一画素に形成されるフォトダイオードの空乏化電位を低く、かつ、安定させることができる。

【図面の簡単な説明】

【図1】本発明の第1実施の形態に関わるMOS型固体撮像装置を示す断面図。

【図2】本発明の第2実施の形態に関わるMOS型固体撮像装置を示す断面図。

【図3】本発明の第3実施の形態に関わるMOS型固体

(11)

19

撮像装置を示す断面図。

【図4】本発明に関わるMOS型固体撮像装置の製造方法の一工程を示す断面図。

【図5】本発明に関わるMOS型固体撮像装置の製造方法の一工程を示す断面図。

【図6】本発明に関わるMOS型固体撮像装置の製造方法の一工程を示す断面図。

【図7】本発明に関わるMOS型固体撮像装置の製造方法の一工程を示す断面図。

【図8】本発明に関わるMOS型固体撮像装置の製造方法の一工程を示す断面図。

【図9】本発明に関わるMOS型固体撮像装置の製造方法の一工程を示す断面図。

【図10】MOS型固体撮像装置の画素を示す回路図。

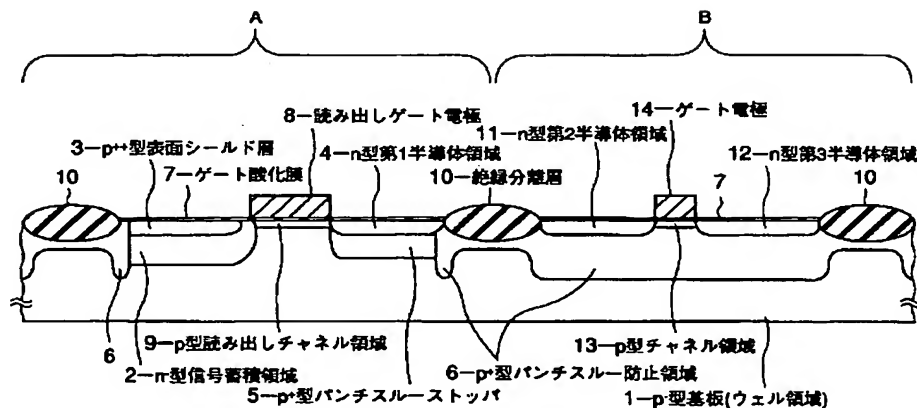
【符号の説明】

- 1 : p型半導体基板、
 2 : n⁻型信号蓄積領域、
 3 : p⁺型表面シールド層、
 4 : n型第1半導体領域、
 5 : p⁺型パンチスルーストップ、
 6 : p⁺型パンチスルー

一防止領域、

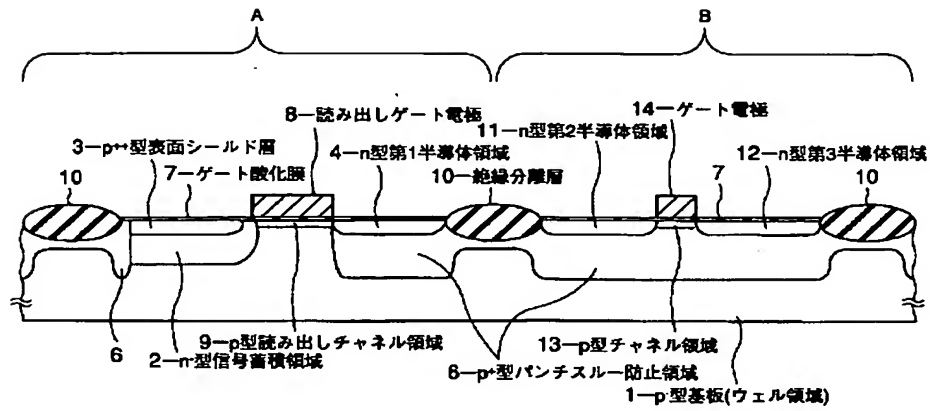
- 7 : ゲート酸化膜、
 8 : 読み出しゲート電極、
 9 : p型読み出しチャネル領域、
 10 : 絶縁分離層、
 11 : n型第2半導体領域、
 12 : n型第3半導体領域、
 13 : p型チャネル領域、
 14 : ゲート電極、
 15 : バッファ酸化膜、
 16, 17, 18, 18', 19 : レジスト層、
 20 : フォトダイオード、
 21 : 読み出しゲート、
 22 : リセットゲート、
 23 : 増幅ゲート、
 24 : 選択ゲート、
 25 : 垂直走査回路、
 26 : 水平走査回路、
 27 : 負荷ゲート、
 28

【図1】

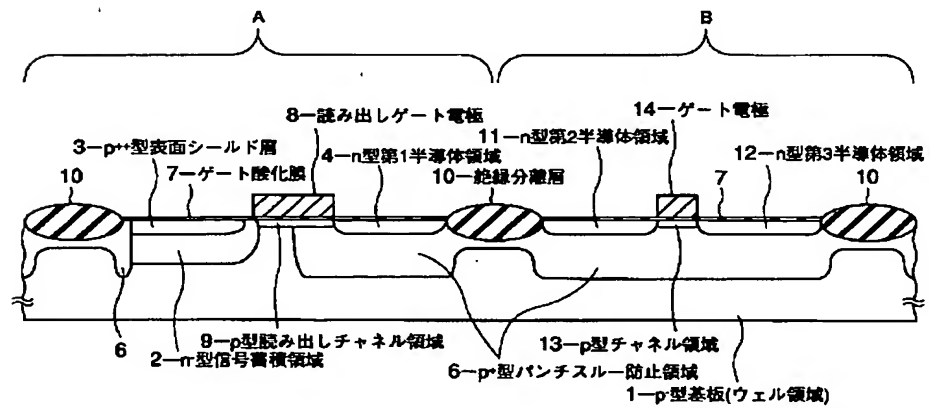


(12)

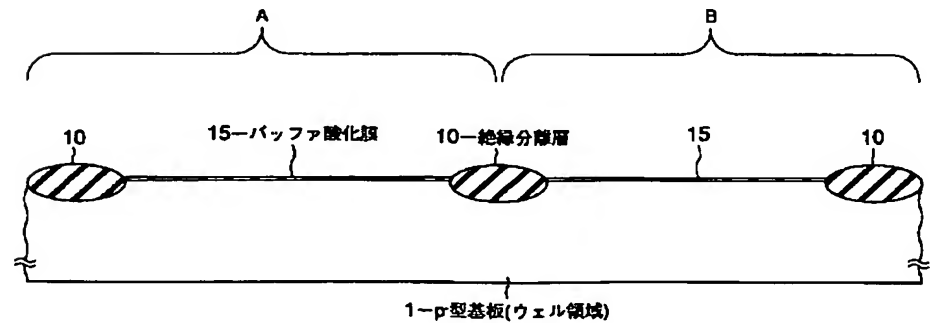
【図2】



【図3】

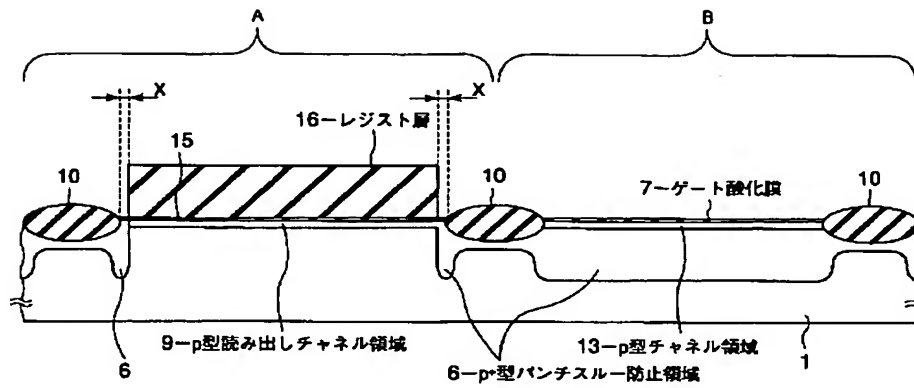


【図4】

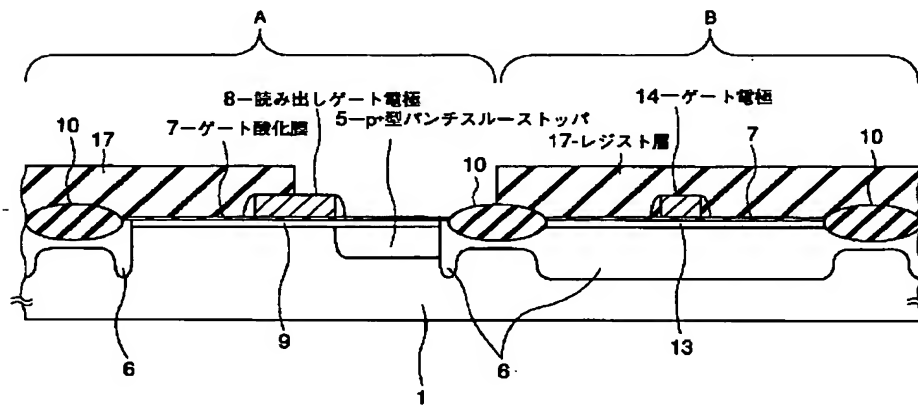


(13)

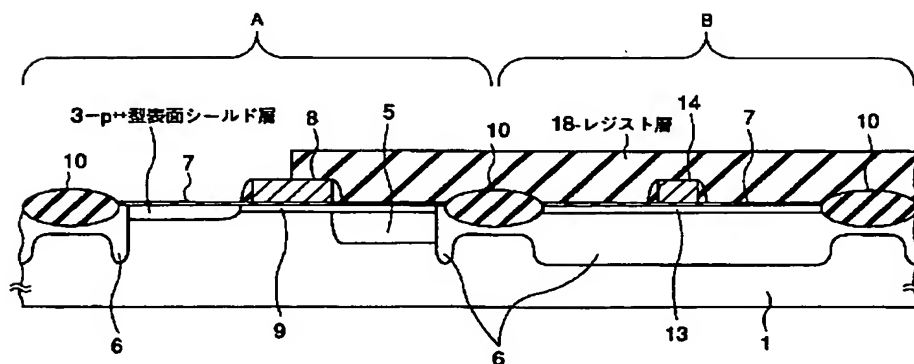
【図 5】



【図 6】

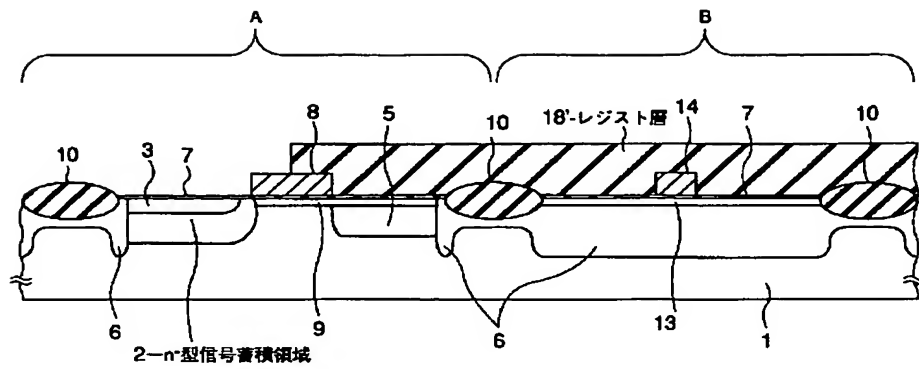


【図 7】

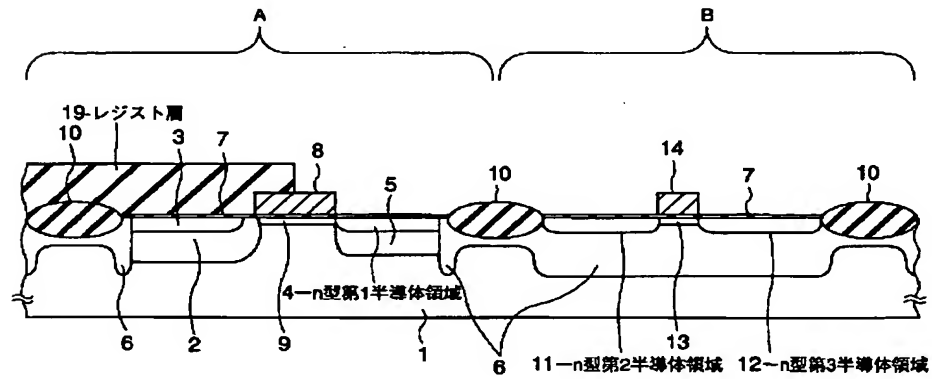


(14)

【図8】



【図9】



【図10】

